

日 本 国 特 許
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日

Date of Application:

2003年 2月20日

出 願 番 号

Application Number:

特願2003-042810

[ST.10/C]:

[JP2003-042810]

出 願 人

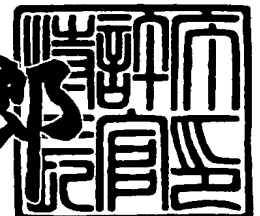
Applicant(s):

パイオニア株式会社

2003年 6月30日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051468

【書類名】 特許願

【整理番号】 57P0387

【提出日】 平成15年 2月20日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/00

【発明の名称】 表示パネルの駆動装置

【発明者】

 【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア株式会社内

 【氏名】 本田 広史

【発明者】

 【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア株式会社内

 【氏名】 重田 哲也

【発明者】

 【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア株式会社内

 【氏名】 長久保 哲朗

【特許出願人】

 【識別番号】 000005016

 【氏名又は名称】 パイオニア株式会社

【代理人】

 【識別番号】 100079119

 【弁理士】

 【氏名又は名称】 藤村 元彦

【手数料の表示】

 【予納台帳番号】 016469

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006557

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示パネルの駆動装置

【特許請求の範囲】

【請求項 1】 映像信号における 1 フィールドの表示期間を複数のサブフィールドで構成し、 n (n は自然数) 個の表示ライン各々に画素を担う画素セルが配列されている表示パネルを前記映像信号に基づく画素データに応じて階調駆動する表示パネルの駆動装置であって、

前記表示パネルの第 $[M \cdot (k - 1) + 1]$ 番目の表示ライン (M は自然数、 k は n/M 以下の自然数) からなる表示ライン群、第 $[M \cdot (k - 1) + 2]$ 番目の表示ラインからなる表示ライン群、第 $[M \cdot (k - 1) + 3]$ 番目の表示ラインからなる表示ライン群、 \dots 、第 $[M \cdot (k - 1) + M]$ 番目の表示ラインからなる表示ライン群の各々に対応した前記画素データに夫々異なるオフセット値を加算することにより多階調化画素データを得る多階調化手段と、

前記サブフィールド各々の内の少なくとも M 個のサブフィールド各々において互いに異なる前記表示ライン群を対象として前記表示ライン群に属する前記画素セルの各々を前記多階調化画素データに基づいて点灯モード又は消灯モードの一方に設定するアドレス手段と、を備えたことを特徴とする表示パネルの駆動装置。

【請求項 2】 前記アドレス手段は、前記 M 個のサブフィールド各々内において設定対象とすべき前記表示ライン群を前記映像信号におけるフィールド毎に変更することを特徴とする請求項 1 記載の表示パネルの駆動装置。

【請求項 3】 前記多階調化手段は、互いに隣接する i 行 j 列の前記画素セル群内の各画素位置に対応させてディザ係数を発生しこれを前記画素データに加算するディザ加算手段を更に含むことを特徴とする請求項 1 記載の表示パネルの駆動装置。

【請求項 4】 前記ディザ加算手段は、前記画素セル群内の各画素位置に対応させた前記ディザ係数を前記映像信号におけるフィールド毎に変更することを特徴とする請求項 3 記載の表示パネルの駆動装置。

【請求項 5】 前記サブフィールド各々において前記点灯モードにある前記

画素セルのみをこのサブフィールドに割り当てられている発光期間に亘り継続して発光させるサステイン手段を更に含み、

前記サブフィールド各々における前記発光期間の比は非線形であることを特徴とする請求項 1 記載の表示パネルの駆動装置。

【請求項 6】 1 フィールドの表示期間内において短い前記発光期間が割り当てられている前記サブフィールドほど先頭に配置されていることを特徴とする請求項 1 又は 5 記載の表示パネルの駆動装置。

【請求項 7】 1 フィールドの先頭の前記サブフィールドにおいて全ての前記画素セルを前記点灯モードに設定するリセット手段を備え、

前記アドレス手段は前記サブフィールド各々の内のいずれか 1 の前記サブフィールドにおいて前記画素セルを前記多階調化画素データに応じて選択的に前記消灯モードに推移せしめることを特徴とする請求項 1、5 又は 6 記載の表示パネルの駆動装置。

【請求項 8】 1 フィールドの表示期間内において長い前記発光期間が割り当てられている前記サブフィールドほど先頭に配置されていることを特徴とする請求項 1 又は 5 記載の表示パネルの駆動装置。

【請求項 9】 1 フィールドの先頭の前記サブフィールドにおいて全ての前記画素セルを前記消灯モードに設定するリセット手段を備え、

前記アドレス手段は前記サブフィールド各々の内のいずれか 1 の前記サブフィールドにおいて前記画素セルを前記多階調化画素データに応じて選択的に前記点灯モードに推移せしめることを特徴とする請求項 1、5 又は 8 記載の表示パネルの駆動装置。

【請求項 10】 複数の表示ライン各々に画素を担う画素セルが配列されている表示パネルを映像信号に基づく画素データに応じて階調駆動する表示パネルの駆動装置であって、

互いに隣接する m 個 (m : 2 以上の自然数) の前記表示ラインからなる表示ライン群毎にこの表示ライン群に属する m 個の前記表示ライン各々に対応した前記画素データの各々に、夫々異なるオフセット値を加算して多階調化画素データを得る多階調化手段と、

前記表示ライン群各々に互いに異なる輝度の重み付けをもたせて前記多階調化画素データに応じて前記画素セルを発光させる発光駆動手段と、を有することを特徴とする表示パネルの駆動装置。

【請求項 1 1】 前記発光駆動手段は、前記表示ライン群毎に順次この表示ライン群に属する前記画素セルを前記多階調化画素データに基づいて点灯モード及び消灯モードのいずれか一方に設定するアドレス手段と、

各表示ライン群に対する前記設定が終了する度に前記点灯モードにある前記画素セルのみを所定期間に亘り発光させるサステイン手段と、を含むことを特徴とする請求項 1 0 記載の表示パネルの駆動装置。

【請求項 1 2】 前記アドレス手段は、前記表示ライン群各々に対する前記設定の実行順序を前記映像信号におけるフィールド毎に変更することを特徴とする請求項 1 1 記載の表示パネルの駆動装置。

【請求項 1 3】 前記多階調化手段は、互いに隣接する i 行 j 列の前記画素セル群内の各画素位置に対応させてディザ係数を発生しこれを前記画素データに加算するディザ加算手段を更に含むことを特徴とする請求項 1 0 記載の表示パネルの駆動装置。

【請求項 1 4】 前記ディザ加算手段は、前記画素セル群内の各画素位置に対応させた前記ディザ係数を前記映像信号におけるフィールド毎に変更することを特徴とする請求項 1 3 記載の表示パネルの駆動装置。

【発明の詳細な説明】

【0 0 0 1】

【発明が属する技術分野】

本発明は、入力映像信号に多階調化処理を施す多階調化処理回路を備えた表示装置に関する。

【0 0 0 2】

【従来の技術】

最近、2次元画像表示パネルとして、複数の放電セルがマトリクス状に配列されたプラズマディスプレイパネル（以下、PDPという）が注目されている。更に、かかるPDPにて入力映像信号に対応した画像を表示させる為の駆動方法と

してサブフィールド法が知られている。サブフィールド法では、1フィールドの表示期間を複数のサブフィールドに分割し、入力映像信号によって表される輝度レベルに応じて放電セルの各々を各サブフィールド毎に選択的に放電発光させる。これにより、1フィールド期間内での総発光期間に対応した中間輝度が視覚されるのである。

【0003】

図1は、かかるサブフィールド法に基づく発光駆動シーケンスの一例を示す図である（例えば、特許文献1の図14参照）。

図1に示す発光駆動シーケンスでは、1フィールド期間をサブフィールドSF1～SF14なる14個のサブフィールドに分割している。これらSF1～SF14の内の先頭のサブフィールドSF1のみで、PDPの全放電セルを点灯モードに初期化せしめる（Rc）。又、サブフィールドSF1～SF14各々では、入力映像信号に応じて放電セルを消灯モードに設定し（Wc）、点灯モードに設定されている放電セルのみをこのサブフィールドに割り当てられている期間に亘り放電発光させる（Ic）。

【0004】

図2は、かかる発光駆動シーケンスに基づいて駆動される各放電セルの1フィールド期間内での発光駆動パターンの一例を示す図である（例えば、特許文献1の図27参照）。

図2に示す発光パターンによれば、先頭のサブフィールドSF1において点灯モードに初期化された放電セルは、黒丸印にて示す如く、SF1～SF14の内のいずれか1のサブフィールドで消灯モードに設定され、それ以降、点灯モードに復帰することはない。よって、消灯モードに設定されるまでの間、白丸印にて示されるように、放電セルは各サブフィールドにおいて連続して放電発光する。この際、図2に示す15通りの発光パターンの各々は1フィールド期間内での総発光期間が夫々異なるので、15通りの中間輝度が表現されることになる。すなわち、 $(N+1)$ 階調（Nはサブフィールドの数）分の中間輝度表示が可能となるのである。

【0005】

ところが、かかる駆動方法では、1フィールドを分割するサブフィールドの数に限度がある為、階調数が不足するという問題が生じる。そこで、この階調数不足を補うべく、入力映像信号に対して誤差拡散及びディザ処理の如き多階調化処理を施すようにしている。

先ず、誤差拡散処理では、入力映像信号を各画素毎の例えば8ビットの画素データに変換し、その上位6ビット分を表示データ、残りの下位2ビット分を誤差データと捉える。そして、周辺画素各々に対応した上記画素データにおける誤差データの各々を重み付け加算したものを、上記表示データに反映させる。かかる動作により、原画素における下位2ビット分の輝度が周辺画素によって擬似的に表現され、それ故に8ビットよりも少ない6ビット分の表示データにて、上記8ビット分の画素データと同等の輝度階調表現が可能になる。そして、この誤差拡散処理によって得られた6ビットの誤差拡散処理画素データに対してディザ処理を施す。ディザ処理では、互いに隣接する複数の画素を1画素単位とし、この1画素単位内の各画素に対応した上記誤差拡散処理画素データに夫々、互いに異なる係数値からなるディザ係数を夫々割り当てて加算する。かかるディザ係数の加算によれば、1画素単位で眺めた場合には、ディザ加算画素データの上位4ビット分だけでも8ビットに相当する輝度を表現することが可能となる。そこで、上記ディザ加算画素データの上位4ビット分を抽出し、これを多階調化画素データPDsとして、図2に示す如き15通りの発光パターン各々に割り当てるのである。

【0006】

しかしながら、ディザ処理等により画素データに対して規則的にディザ係数の加算を行うと、入力映像信号とは何ら関係のない疑似模様、いわゆるディザパターンが視覚される場合があり、画質を損ねてしまうという問題があった。

【0007】

【特許文献1】

特開2000-227778号公報(図14、図27)

【0008】

【発明が解決しようとする課題】

本発明は、上記の問題を解決するためになされたものであり、ディザパターンの抑制された良好な画像表示を行うことが可能な表示パネルの駆動装置を提供することを目的とする。

【0009】

【課題を解決するための手段】

請求項1記載による表示パネルの駆動装置は、映像信号における1フィールドの表示期間を複数のサブフィールドで構成し、 n (n は自然数)個の表示ライン各々に画素を担う画素セルが配列されている表示パネルを前記映像信号に基づく画素データに応じて階調駆動する表示パネルの駆動装置であって、前記表示パネルの第 $[M \cdot (k - 1) + 1]$ 番目の表示ライン (M は自然数、 k は n/M 以下の自然数) からなる表示ライン群、第 $[M \cdot (k - 1) + 2]$ 番目の表示ラインからなる表示ライン群、第 $[M \cdot (k - 1) + 3]$ 番目の表示ラインからなる表示ライン群、 \dots 、第 $[M \cdot (k - 1) + M]$ 番目の表示ラインからなる表示ライン群の各々に対応した前記画素データに夫々異なるオフセット値を加算することにより多階調化画素データを得る多階調化手段と、前記サブフィールド各々の内の少なくとも M 個のサブフィールド各々において互いに異なる前記表示ライン群を対象として前記表示ライン群に属する前記画素セルの各々を前記多階調化画素データに基づいて点灯モード又は消灯モードの一方に設定するアドレス手段とを備える。

【0010】

又、請求項10記載による表示パネルの駆動装置は、複数の表示ライン各々に画素を担う画素セルが配列されている表示パネルを映像信号に基づく画素データに応じて階調駆動する表示パネルの駆動装置であって、互いに隣接する m 個 (m : 2以上の自然数) の前記表示ラインからなる表示ライン群毎にこの表示ライン群に属する m 個の前記表示ライン各々に対応した前記画素データの各々に、夫々異なるオフセット値を加算して多階調化画素データを得る多階調化手段と、前記表示ライン群各々に互いに異なる輝度の重み付けをもたせて前記多階調化画素データに応じて前記画素セルを発光させる発光駆動手段と、を有する。

【0011】

【発明の実施の形態】

以下、本発明の実施例を図を参照しつつ説明する。

図 3 は、本発明による表示装置としてのプラズマディスプレイ装置の概略構成を示す図である。

図 3 において、プラズマディスプレイパネルとしての PDP 100 は、表示面を担う前面基板(図示せぬ)と、放電ガスの封入された放電空間を挟んで前面基板と対向した位置に配置されている背面基板(図示せぬ)とを備える。前面基板上には、互いに交互にかつ平行に配置されている帯状の行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ が形成されている。背面基板上には、上記行電極各々に交叉して配置されている帯状の列電極 $D_1 \sim D_m$ が形成されている。尚、行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ は、一对の行電極 X 及び Y にて PDP 100 の第 1 表示ライン～第 n 表示ラインを担う構造となっており、各行電極対と列電極との交叉部(放電空間を含む)に画素を担う放電セル G が形成されている。すなわち、PDP 100 には、 $(n \times m)$ 個の放電セル $G_{(1,1)} \sim G_{(n,m)}$ がマトリクス状に形成されているのである。

【 0 0 1 2 】

画素データ変換回路 1 は、入力映像信号を各画素毎の例えば 6 ビットの画素データ PD に変換してこれを多階調化処理回路 2 に供給する。多階調化処理回路 2 は、ラインオフセットデータ生成回路 2 1、加算器 2 2、及び下位ビット切り捨て回路 2 3 から構成される。

ラインオフセットデータ生成回路 2 1 は、PDP 100 の第 $(4N-3)$ 番目の表示ライン $[N : (1/4) \cdot n \text{ 以下の自然数}]$ に対応した画素データ PD が画素データ変換回路 1 から出力された場合には「10」(10 進数表現)を表すラインオフセットデータ LD を生成してこれを加算器 2 2 に供給する。又、ラインオフセットデータ生成回路 2 1 は、第 $(4N-2)$ 番目の表示ラインに対応した画素データ PD が画素データ変換回路 1 から出力された場合には「8」(10 進数表現)を表すラインオフセットデータ LD を生成してこれを加算器 2 2 に供給する。又、ラインオフセットデータ生成回路 2 1 は、第 $(4N-1)$ 番目の表示ラインに対応した画素データ PD が画素データ変換回路 1 から出力された場合には「6」(10 進数表現)を表すラインオフセットデータ LD を生成してこれを加算

器 22 に供給する。又、ラインオフセットデータ生成回路 21 は、第 (4N) 番目の表示ラインに対応した画素データ PD が画素データ変換回路 1 から出力された場合には「4」（10進数表現）を表すラインオフセットデータ LD を生成してこれを加算器 22 に供給する。

【0013】

加算器 22 は、画素データ変換回路 1 から供給された画素データ PD に上記ラインオフセットデータ LD を加算したオフセット加算画素データを下位ビット切り捨て回路 23 に供給する。下位ビット切り捨て回路 23 は、オフセット加算画素データの下位 3 ビット分を切り捨て、残りの上位 3 ビット分を多階調化画素データ MD として駆動データ変換回路 3 に供給する。

【0014】

駆動データ変換回路 3 は、多階調化画素データ MD を図 4 に示す如きデータ変換テーブルに従って 5 ビットの画素駆動データ GD に変換してこれをメモリ 4 に供給する。

メモリ 4 は、5 ビットの画素駆動データ GD を順次取り込んで記憶する。そして、1 画像フレーム (n 行 × m 列) 分の画素駆動データ $GD_{1,1} \sim GD_{n,m}$ の書き込みが終了する度に、メモリ 4 は、画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々を各ビット桁 (第 1 ～ 第 5 ビット) 毎に分離し、夫々、後述するサブフィールド SF1 ～ SF4 に対応させて 1 表示ライン分ずつ読み出す。メモリ 4 は、読み出した 1 表示ライン分 (m 個) の画素駆動データビットを画素駆動データビット DB1 ～ DB(m) として列電極駆動回路 5 に供給する。

【0015】

すなわち、先ず、サブフィールド SF1₁ において、メモリ 4 は、画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第 1 ビットのみを 1 表示ライン分ずつ読み出し、これらを画素駆動データビット DB1 ～ DB(m) として列電極駆動回路 5 に供給する。次に、サブフィールド SF1₂ ～ SF2₁ において、メモリ 4 は、画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第 2 ビットのみを 1 表示ライン分ずつ読み出し、これらを画素駆動データビット DB1 ～ DB(m) として列電極駆動回路 5 に供給する。次に、サブフィールド SF2₂ ～ SF3₁ において、メモリ 4 は、画素駆動デ

ータ $GD_{1,1} \sim GD_{n,m}$ 各々の第3ビットのみを1表示ライン分ずつ読み出し、これらを画素駆動データビット $DB_1 \sim DB(m)$ として列電極駆動回路5に供給する。次に、サブフィールド $SF_{3_2} \sim SF_{4_1}$ において、メモリ4は、画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第4ビットのみを1表示ライン分ずつ読み出し、これらを画素駆動データビット $DB_1 \sim DB(m)$ として列電極駆動回路5に供給する。そして、サブフィールド $SF_{4_2} \sim SF_{4_4}$ において、メモリ4は、画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第5ビットのみを1表示ライン分ずつ読み出し、これらを画素駆動データビット $DB_1 \sim DB(m)$ として列電極駆動回路5に供給する。

【0016】

駆動制御回路6は、サブフィールド法に基づく図5に示されるが如き発光駆動シーケンスに従って上記PDP100を階調駆動させるべき各種タイミング信号を、上記列電極駆動回路5、行電極Y駆動回路7及び行電極X駆動回路8の各々に供給する。

図5に示す発光駆動シーケンスにおいては、1フィールドの表示期間をサブフィールド $SF_1 \sim SF_4$ に分割し、各サブフィールド毎に下記の如き各種駆動行程を実施する。尚、サブフィールド $SF_1 \sim SF_4$ は、夫々、図5に示す如く4つのサブフィールド $SF_{1_1} \sim SF_{1_4}$ 、 $SF_{2_1} \sim SF_{2_4}$ 、 $SF_{3_1} \sim SF_{3_4}$ 、 $SF_{4_1} \sim SF_{4_4}$ からなる。

【0017】

先ず、先頭のサブフィールド SF_{1_1} では、PDP100の全ての放電セルを点灯モード（所定量の壁電荷が形成された状態）に初期化するリセット行程R、上記画素駆動データに応じて全表示ラインに対して選択的に各放電セルを消灯モード（壁電荷が消去された状態）に推移せしめるアドレス行程W0及び点灯モードにある放電セルのみを期間「2」に亘り継続して放電発光せしめるサステイン行程Iとを実行する。

【0018】

サブフィールド SF_{2_1} 、 SF_{3_1} 及び SF_{4_1} 各々では、画素駆動データに応じて第(4N)番目の表示ラインに属する放電セル各々を選択的に消灯モードに

推移せしめるアドレス行程W4と、点灯モードにある放電セルのみを期間「2」に亘り継続して放電発光せしめるサステイン行程Iとを実行する。

サブフィールドSF1₂、SF2₂、SF3₂及びSF4₂各々では、画素駆動データに応じて第(4N-3)番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめるアドレス行程W1と、点灯モードにある放電セルのみを期間「2」に亘り継続して放電発光せしめるサステイン行程Iとを実行する。

【0019】

サブフィールドSF1₃、SF2₃、SF3₃及びSF4₃各々では、画素駆動データに応じて第(4N-2)番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめるアドレス行程W2と、点灯モードにある放電セルのみを期間「2」に亘り継続して放電発光せしめるサステイン行程Iとを実行する。

サブフィールドSF1₄、SF2₄及びSF3₄及びSF4₄各々では、画素駆動データに応じて第(4N-1)番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめるアドレス行程W3と、点灯モードにある放電セルのみを期間「2」に亘り継続して放電発光せしめるサステイン行程Iと、を実行する。

【0020】

図6は、かかる発光駆動シーケンスに従って駆動制御回路6から供給された各種タイミング信号に応じて、列電極駆動回路5、行電極Y駆動回路7及び行電極X駆動回路8各々がPDP100に印加する各種駆動パルスと、その印加タイミングを示す図である。尚、サブフィールドSF2₁、SF3₁及びSF4₁の各々においてPDP100に印加される各種駆動パルス及びその印加タイミングは互いに同一である。又、サブフィールドSF1₂、SF2₂、SF3₂、及びSF4₂の各々においてPDP100に印加される各種駆動パルス及びその印加タイミングは互いに同一である。又、サブフィールドSF1₃、SF2₃、SF3₃及びSF4₃の各々においてPDP100に印加される各種駆動パルス及びその印加タイミングは互いに同一である。更に、サブフィールドSF1₄、SF2₄、SF3₄、及びSF4₄の各々においてPDP100に印加される各種駆動パルス及びその印加タイミングは互いに同一である。そこで、図6においては、サブフィール

ドSF1₁からSF2₁のアドレス行程W4までのみを抜粋して示している。

【0021】

先ず、サブフィールドSF1₁のリセット行程Rでは、行電極X駆動回路8が立ち下がり変化の緩やかな負極性のリセットパルスRP_xを発生してPDP100の行電極X₁～X_nに印加する。かかるリセットパルスRP_xと同時に、行電極Y駆動回路7は、立ち上がり変換の緩やかな正極性のリセットパルスRP_yを発生してPDP100の行電極Y₁～Y_nに印加する。これらリセットパルスRP_x及びRP_yの同時印加に応じて、PDP100の全放電セル内にはリセット放電が生起され、各放電セル内に壁電荷が形成される。これにより、全ての放電セルは後述するサステイン行程Iにおいて発光(サステイン放電に伴う発光)が可能な状態である点灯モードに初期化される。

【0022】

次に、サブフィールドSF1₁のアドレス行程W0では、行電極Y駆動回路7が負極性の走査パルスSPを行電極Y₁～Y_nに順次印加して行く。この間、列電極駆動回路5は、メモリ4から読み出された画素駆動データビットDB1～DB(m)に対応した1表示ライン分のm個の画素データパルスを発生し、これらm個の画素データパルスからなる画素データパルス群DPを上記走査パルスSPのタイミングに同期して列電極D₁～D_m各々に印加する。つまり、PDP100の第1～第n表示ライン各々に対応した画素データパルス群DP₁～DP_n各々が順次図6に示す如く列電極D₁～D_m各々に印加されるのである。尚、列電極駆動回路5は、画素駆動データビットDBが論理レベル1である場合には高電圧の画素データパルスを発生する一方、論理レベル0である場合には低電圧の画素データパルスを発生する。ここで、上記走査パルスSPが印加された表示ラインと、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ消去アドレス放電が生起される。かかる消去アドレス放電により、放電セル内に形成されていた壁電荷が消滅し、この放電セルは、後述するサステイン行程Iにおいて発光(サステイン放電に伴う発光)が為されない状態である消灯モードに推移する。一方、上記走査パルスSPが印加されたものの低電圧の画素データパルスが印加された放電セルには上述のような消去アドレス放電は生起されず、その直前まで

の状態（点灯モード又は消灯モード）を維持する。

【 0 0 2 3 】

すなわち、アドレス行程W0によれば、PDP100の全ての放電セルを、画素データに基づいて選択的に消去アドレス放電させる。これにより、各放電セルは点灯モード又は消灯モードのいずれか一方の状態に設定される。

次に、サブフィールドSF1₁のサステイン行程Iでは、行電極X駆動回路8及び行電極Y駆動回路7各々が、図6に示されるが如く行電極X₁～X_n及びY₁～Y_nに対して交互に正極性のサステインパルスIP_X及びIP_Yを所定回数だけ繰り返し印加する。この際、壁電荷が残留したままとなっている放電セル、すなわち点灯モードに設定されている放電セルのみが上記サステインパルスIP_X及びIP_Yが印加される度にサステイン放電し、このサステイン放電に伴う発光状態を維持する。つまり、サブフィールドSF1₁のアドレス行程W0において消去アドレス放電が生起されず、点灯モードの状態を維持した放電セルのみがこのサステイン行程Iにて所定期間「2」に亘り発光するのである。

【 0 0 2 4 】

次に、サブフィールドSF1₂のアドレス行程W1では、行電極Y駆動回路7が負極性の走査パルスSPをPDP100の第(4N-3)番目の表示ライン[N: 1～(1/4)・n]に属する行電極Y、つまり行電極Y₁、Y₅、Y₉、…、Y_(n-3)に順次印加して行く。この間、列電極駆動回路5は、メモリ4から読み出された画素駆動データビットDB₁～DB_(m)に対応した1表示ライン分のm個の画素データパルスを発生し、これらm個の画素データパルスからなる画素データパルス群DPを上記走査パルスSPのタイミングに同期して列電極D₁～D_m各々に印加する。この際、サブフィールドSF1₂ではPDP100の第(4N-3)番目の表示ラインに対応した画素駆動データビットDBがメモリ4から読み出されるので、列電極駆動回路5は、この第(4N-3)番目の表示ラインに対応した画素データパルス群DP₁、DP₅、DP₉、…、DP_(n-3)各々を図6に示す如く順次列電極D₁～D_m各々に印加する。尚、列電極駆動回路5は、画素駆動データビットDBが論理レベル1である場合には高電圧の画素データパルスを発生する一方、論理レベル0である場合には低電圧の画素データパルスを発生する。こ

ここで、上記走査パルス SP が印加された表示ラインと、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ消去アドレス放電が生起される。かかる消去アドレス放電により、放電セル内に形成されていた壁電荷が消滅し、この放電セルは、サステイン行程 I において発光(サステイン放電に伴う発光)が為されない状態である消灯モードに推移する。一方、上記走査パルス SP が印加されたものの低電圧の画素データパルスが印加された放電セルには上述のような消去アドレス放電は生起されず、その直前までの状態(点灯モード又は消灯モード)が維持される。

【 0 0 2 5 】

すなわち、アドレス行程 $W1$ では、 $PDP100$ の第 $(4N-3)$ 番目の表示ラインに属する放電セルのみを対象にして、画素データに基づいて選択的に消去アドレス放電を生起せしめ、各放電セルを点灯モード又は消灯モードのいずれか一方の状態に設定するのである。

次に、サブフィールド $SF1_2$ のサステイン行程 I では、行電極 X 駆動回路 8 及び行電極 Y 駆動回路 7 各々が、図 6 に示されるが如く行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に対して交互に正極性のサステインパルス IP_X 及び IP_Y を所定回数だけ繰り返し印加する。この際、壁電荷が残留したままとなっている放電セル、すなわち上記点灯モードに設定されている放電セルのみが上記サステインパルス IP_X 及び IP_Y が印加される度にサステイン放電し、このサステイン放電に伴う発光状態を維持する。つまり、アドレス行程 $W0$ 及び $W1$ のいずれにおいても消去アドレス放電が生起されずに点灯モードの状態を維持した放電セルのみが、このサステイン行程 I において所定期間「2」に亘り発光するのである。

【 0 0 2 6 】

次に、サブフィールド $SF1_3$ のアドレス行程 $W2$ では、行電極 Y 駆動回路 7 が負極性の走査パルス SP を $PDP100$ の第 $(4N-2)$ 番目の表示ライン $[N : (1/4) \cdot n$ 以下の自然数] に属する行電極 Y 、つまり行電極 $Y_2, Y_6, Y_{10}, \dots, Y_{(n-2)}$ に順次印加して行く。この間、列電極駆動回路 5 は、メモリ 4 から読み出された画素駆動データビット $DB1 \sim DB(m)$ に対応した 1 表示ライン分の m 個の画素データパルスを発生し、これら m 個の画素データパルスからなる画素

データパルス群 DP を上記走査パルス SP のタイミングに同期して列電極 $D_1 \sim D_m$ 各々に印加する。この際、サブフィールド $SF1_3$ では $PDP100$ の第 $(4N-2)$ 番目の表示ラインに対応した画素駆動データビット DB がメモリ 4 から読み出されるので、列電極駆動回路 5 は、この第 $(4N-2)$ 番目の表示ラインに対応した画素データパルス群 $DP_2, DP_6, DP_{10}, \dots, DP_{(n-2)}$ 各々を図 6 に示す如く順次列電極 $D_1 \sim D_m$ 各々に印加する。尚、列電極駆動回路 5 は、画素駆動データビット DB が論理レベル 1 である場合には高電圧の画素データパルスを発生する一方、論理レベル 0 である場合には低電圧の画素データパルスを発生する。ここで、上記走査パルス SP が印加された表示ラインと、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ消去アドレス放電が生起される。かかる消去アドレス放電により、放電セル内に形成されていた壁電荷が消滅し、この放電セルは消灯モードに推移する。一方、上記走査パルス SP が印加されたものの低電圧の画素データパルスが印加された放電セルには上述のような消去アドレス放電は生起されず、その直前までの状態（点灯モード又は消灯モード）が維持される。

【 0 0 2 7 】

すなわち、アドレス行程 $W2$ では、 $PDP100$ の第 $(4N-2)$ 番目の表示ラインに属する放電セルのみを対象にして、画素データに基づいて選択的に消去アドレス放電を生起せしめ、各放電セルを点灯モード又は消灯モードのいずれか一方の状態に設定するのである。

次に、サブフィールド $SF1_3$ のサステイン行程 I では、行電極 X 駆動回路 8 及び行電極 Y 駆動回路 7 各々が、図 6 に示されるが如く行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に対して交互に正極性のサステインパルス IP_X 及び IP_Y を所定回数だけ繰り返し印加する。この際、壁電荷が残留したままとなっている放電セル、すなわち上記点灯モードに設定されている放電セルのみが上記サステインパルス IP_X 及び IP_Y が印加される度にサステイン放電し、このサステイン放電に伴う発光状態を維持する。つまり、上記アドレス行程 $W0, W1$ 及び $W2$ のいずれにおいても消去アドレス放電が生起されず、点灯モードの状態を維持した放電セルのみがこのサステイン行程 I において所定期間「2」に亘り発光するのである。

【0028】

次に、サブフィールド $SF1_4$ のアドレス行程 $W3$ では、行電極 Y 駆動回路 7 が負極性の走査パルス SP を $PDP100$ の第 $(4N-1)$ 番目の表示ライン $[N : (1/4) \cdot n$ 以下の自然数] に属する行電極 Y 、つまり行電極 Y_3 、 Y_7 、 Y_{11} 、 \dots 、 $Y_{(n-1)}$ に順次印加して行く。この間、列電極駆動回路 5 は、メモリ 4 から読み出された画素駆動データビット $DB1 \sim DB(m)$ に対応した 1 表示ライン分の m 個の画素データパルスを発生し、これら m 個の画素データパルスからなる画素データパルス群 DP を上記走査パルス SP のタイミングに同期して列電極 $D_1 \sim D_m$ 各々に印加する。この際、サブフィールド $SF1_4$ では $PDP100$ の第 $(4N-1)$ 番目の表示ラインに対応した画素駆動データビット DB がメモリ 4 から読み出されるので、列電極駆動回路 5 は、この第 $(4N-1)$ 番目の表示ラインに対応した画素データパルス群 DP_3 、 DP_7 、 DP_{11} 、 \dots 、 $DP_{(n-1)}$ 各々を図 6 に示す如く順次列電極 $D_1 \sim D_m$ 各々に印加する。尚、列電極駆動回路 5 は、画素駆動データビット DB が論理レベル 1 である場合には高電圧の画素データパルスを発生する一方、論理レベル 0 である場合には低電圧の画素データパルスを発生する。ここで、上記走査パルス SP が印加された表示ラインと、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ消去アドレス放電が生起される。かかる消去アドレス放電により、放電セル内に形成されていた壁電荷が消滅し、この放電セルは消灯モードに推移する。一方、上記走査パルス SP が印加されたものの低電圧の画素データパルスが印加された放電セルには上述のような消去アドレス放電は生起されず、その直前までの状態（点灯モード又は消灯モード）が維持される。

【0029】

すなわち、アドレス行程 $W3$ では、 $PDP100$ の第 $(4N-1)$ 番目の表示ラインに属する放電セルのみを対象にして、画素データに基づいて選択的に消去アドレス放電を生起せしめ、各放電セルを点灯モード又は消灯モードのいずれか一方の状態に設定するのである。

次に、サブフィールド $SF1_4$ のサステイン行程 I では、行電極 X 駆動回路 8 及び行電極 Y 駆動回路 7 各々が、図 6 に示されるが如く行電極 $X_1 \sim X_n$ 及び Y_1

～ Y_n に対して交互に正極性のサステインパルス IP_X 及び IP_Y を所定回数だけ繰り返し印加する。この際、壁電荷が残留したままとなっている放電セル、すなわち点灯モードに設定されている放電セルのみが上記サステインパルス IP_X 及び IP_Y が印加される度にサステイン放電し、このサステイン放電に伴う発光状態を維持する。つまり、上記アドレス行程 W_0 、 W_1 、 W_2 及び W_3 のいずれにおいても消去アドレス放電が生起されずに点灯モードの状態を維持した放電セルのみがこのサステイン行程 I において所定期間「2」に亘り発光するのである。

【 0 0 3 0 】

次に、サブフィールド $SF2_1$ のアドレス行程 W_4 では、行電極 Y 駆動回路7が負極性の走査パルス SP を $PDP100$ の第 $(4N)$ 番目の表示ライン $[N: 1 \sim (1/4) \cdot n]$ に属する行電極 Y 、つまり行電極 Y_4 、 Y_8 、 Y_{12} 、 \dots 、 Y_n に順次印加して行く。この間、列電極駆動回路5は、メモリ4から読み出された画素駆動データビット $DB1 \sim DB(m)$ に対応した1表示ライン分の m 個の画素データパルスを発生し、これら m 個の画素データパルスからなる画素データパルス群 D を上記走査パルス SP のタイミングに同期して列電極 $D_1 \sim D_m$ 各々に印加する。この際、サブフィールド $SF2_1$ では $PDP100$ の第 $(4N)$ 番目の表示ラインに対応した画素駆動データビット DB がメモリ4から読み出されるので、列電極駆動回路5は、この第 $(4N)$ 番目の表示ラインに対応した画素データパルス群 DP_4 、 DP_8 、 DP_{12} 、 \dots 、 DP_n 各々を図6に示す如く順次列電極 $D_1 \sim D_m$ 各々に印加する。尚、列電極駆動回路5は、画素駆動データビット DB が論理レベル1である場合には高電圧の画素データパルスを発生する一方、論理レベル0である場合には低電圧の画素データパルスを発生する。ここで、上記走査パルス SP が印加された表示ラインと、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ消去アドレス放電が生起される。かかる消去アドレス放電により、放電セル内に形成されていた壁電荷が消滅し、この放電セルは消灯モードに推移する。一方、上記走査パルス SP が印加されたものの低電圧の画素データパルスが印加された放電セルには上述のような消去アドレス放電は生起されず、その直前までの状態（点灯モード又は消灯モード）が維持される。

【 0 0 3 1 】

すなわち、アドレス行程W4では、PDP100の第(4N)番目の表示ラインに属する放電セルのみを対象にして、画素データに基づいて選択的に消去アドレス放電を生起せしめ、各放電セルを点灯モード又は消灯モードのいずれか一方の状態に設定するのである。

次に、サブフィールドSF2₁のサステイン行程I（図示せず）では、行電極X駆動回路8及び行電極Y駆動回路7各々が、行電極X₁～X_n及びY₁～Y_nに対して交互に正極性のサステインパルスIP_X及びIP_Yを所定期数だけ繰り返し印加する。この際、壁電荷が残留したままとなっている放電セル、すなわち点灯モードに設定されている放電セルのみが上記サステインパルスIP_X及びIP_Yが印加される度にサステイン放電し、このサステイン放電に伴う発光状態を維持する。つまり、上記アドレス行程W0、W1、W2、W3及びW4のいずれにおいても消去アドレス放電が生起されずに点灯モードの状態を維持した放電セルのみがこのサステイン行程Iにおいて所定期間「2」に亘り発光するのである。

【0032】

以上の如き駆動によれば、サブフィールド群SF1～SF4の中で、放電セルを消灯モードから点灯モード状態に推移させることが可能な機会は、先頭のサブフィールドSF1₁のリセット行程Rだけである。つまり、各サブフィールドの内の1のサブフィールドで消去アドレス放電が生起されて、一度、放電セルが消灯モードに設定されると、それ以降のサブフィールドではこの放電セルを点灯モードに復帰させることは出来ない。従って、図4に示す如き5通りの画素駆動データGDに基づく駆動によれば、表現すべき輝度に対応した分だけ連続したサブフィールドの各々において放電セルが点灯モードに設定される。そして、消去アドレス放電(黒丸にて示す)が生起されるまでの間、各サブフィールドのサステイン行程Iにおいて連続してサステイン放電発光(白丸にて示す)が為される。この際、かかるサステイン放電発光による1フィールド期間内での総発光期間に対応した中間輝度が視覚されることになる。

【0033】

ここで、図5及び図6に示す駆動では、PDP100の画面上下方向において互いに隣接する4つの表示ライン各々に属する放電セル、つまり、

第(4N-3)番目の表示ラインに属する放電セル、
 第(4N-2)番目の表示ラインに属する放電セル、
 第(4N-1)番目の表示ラインに属する放電セル、
 第(4N)番目の表示ラインの各々に属する放電セル、

の各々毎に、画素駆動データGDに応じた駆動による1フィールド期間内での
 総発光期間が互いに異なる。

【0034】

例えば、図4に示される[00100]なる画素駆動データGDによれば、第
 (4N-3)番目の表示ライン、つまり第1、第5、第9、…、第(n-3)表示
 ライン各々に属する放電セルは、白丸に示すように、サブフィールドSF1₁~
 SF1₄及びSF2₁各々のサステイン行程Iにてサステイン放電発光する。一方
 、第(4N-2)番目の表示ライン、つまり第2、第6、第10、…、第(n-
 2)表示ライン各々に属する放電セルでは、サブフィールドSF1₁~SF1₄、
 SF2₁及びSF2₂各々のサステイン行程Iにてサステイン放電発光する。又、
 第(4N-1)番目の表示ライン、つまり第3、第7、第11、…、第(n-1)
 表示ライン各々に属する放電セルでは、サブフィールドSF1₁~SF1₄、及び
 SF2₁~SF2₃各々のサステイン行程Iにてサステイン放電発光する。更に、
 第(4N)番目の表示ライン、つまり第4、第8、第12、…、第n表示ライン
 各々に属する放電セルでは、サブフィールドSF1₁~SF1₄、及びSF2₁~
 SF2₄各々のサステイン行程Iにてサステイン放電発光する。

【0035】

この際、各サステイン行程I内での発光期間が「2」であると、[00100]
]なる画素駆動データGDに応じて生起されるサステイン放電発光による1フイ
 ールド期間内での総発光期間は、図4に示す如く、

第(4N-3)番目の表示ラインに属する放電セル：「10」

第(4N-2)番目の表示ラインに属する放電セル：「12」

第(4N-1)番目の表示ラインに属する放電セル：「14」

第(4N)番目の表示ラインに属する放電セル：「16」

となる。

【0036】

同様に、図4に示す如き[01000]なる画素駆動データGDによって生起されるサスティン放電発光の1フィールド期間内での総発光期間は、

第(4N-3)番目の表示ラインに属する放電セル：「2」

第(4N-2)番目の表示ラインに属する放電セル：「4」

第(4N-1)番目の表示ラインに属する放電セル：「6」

第(4N)番目の表示ラインに属する放電セル：「8」

となる。

【0037】

すなわち、互いに隣接する4つの表示ライン各々に対して、1フィールド期間内での総発光期間を夫々異ならせた駆動を実施するようにしたのである。

尚、かかる駆動によっても、互いに画面上下方向に隣接する4つの放電セル各々の平均輝度レベルが等しくなるように、画素データPDにラインオフセットデータLDを加算するようにしている。

【0038】

つまり、先ず、

第(4N-3)番目の表示ラインに対応した画素データPDには「10」

第(4N-2)番目の表示ラインに対応した画素データPDには「8」

第(4N-1)番目の表示ラインに対応した画素データPDには「6」

第(4N)番目の表示ラインに対応した画素データPDには「4」

なるラインオフセットデータLDを加算する。そして、この加算結果の上位3ビット分を多階調化画素データMDとし、これを図4に示す如き変換テーブルに従って画素駆動データGDに変換しているのである。

【0039】

例えば、PDP100の画面上下方向において互いに隣接している放電セルG_(1,1)、G_(2,1)、G_(3,1)、G_(4,1)各々に対応した画素データPD_(1,1)、PD_(2,1)、PD_(3,1)、PD_(4,1)が共に「9」(10進数表現)を表す6ビットデータ[001001]であるとする。これらPD_(1,1)、PD_(2,1)、PD_(3,1)、PD_(4,1)各々に対して図7に示す如く、「10」、「8」、「4」、「2」なるラインオフセ

ットデータLDを夫々加算すると、

「19」を表す6ビットデータ[010011]、

「17」を表す6ビットデータ[010001]、

「15」を表す6ビットデータ[001111]、

「13」を表す6ビットデータ[001101]、

なる加算結果が夫々得られる。

【0040】

ここで、上記加算結果各々の下位3ビット分を切り捨てて残りの上位3ビット分を抽出すると、

「2」を表す[010]なる3ビットの多階調化画素データMD_(1,1)、

「2」を表す[010]なる3ビットの多階調化画素データMD_(2,1)、

「1」を表す[001]なる3ビットの多階調化画素データMD_(3,1)、

「1」を表す[001]なる3ビットの多階調化画素データMD_(4,1)、

が夫々得られる。

【0041】

従って、上記の如き[010]なる多階調化画素データMD_(1,1)によれば、第(4N-3)番目の表示ラインに属する放電セルG_(1,1)は、図4の白丸にて示す如く、サブフィールドSF1₁~SF1₄及びSF2₁各々のサステイン行程Iにてサステイン放電発光する。その結果「10」なる発光輝度が視覚される。又、[010]なる多階調化画素データMD_(2,1)によれば、第(4N-2)番目の表示ラインに属する放電セルG_(2,1)は、サブフィールドSF1₁~SF1₄、SF2₁及びSF2₂各々のサステイン行程Iにてサステイン放電発光する。その結果「12」なる発光輝度が視覚される。一方、[001]なる多階調化画素データMD_(3,1)によれば、第(4N-1)番目の表示ラインに属する放電セルG_(3,1)は、図4の白丸にて示す如く、サブフィールドSF1₁~SF1₃各々のサステイン行程Iにてサステイン放電発光する。その結果「6」なる発光輝度が視覚される。又、[001]なる多階調化画素データMD_(4,1)によれば、第(4N)番目の表示ラインに属する放電セルG_(4,1)は、図4の白丸にて示す如く、サブフィールドSF1₁~SF1₄各々のサステイン行程Iにてサステイン放電発光する。その結

果「8」なる発光輝度が視覚される。

【0042】

従って、輝度レベル「9」を表す画素データPDが供給されると、PDP100の画面上下方向において互いに隣接している4つの放電セル $G_{(1,1)}$ 、 $G_{(2,1)}$ 、 $G_{(3,1)}$ 、 $G_{(4,1)}$ 各々では、

$G_{(1,1)}$ ：輝度レベル「10」

$G_{(2,1)}$ ：輝度レベル「12」

$G_{(3,1)}$ ：輝度レベル「6」

$G_{(4,1)}$ ：輝度レベル「8」

を表現する発光が為されるのである。

【0043】

これら4つの放電セルGを1単位として眺めた場合、各輝度レベルの平均値である輝度レベル「9」が視覚される。つまり、入力映像信号（画素データPD）によって示される輝度が表現されるのである。

以上の如く、図3に示すプラズマディスプレイ装置においては、PDP100の第(4N-3)番目の表示ライン、第(4N-2)番目の表示ライン、第(4N-1)番目の表示ライン及び第(4N)番目の表示ライン各々毎に、図8に示すように、互いに異なる4つの輝度レベルを表現すべき発光駆動を実施している。ここで、画面上下方向において互いに隣接する4つの放電セルGを1単位として眺めた場合、この1単位内で各放電セルG毎に表現される輝度レベルの平均値に応じた図9及び図10に示す如き17通りの中間輝度レベルが表現されるのである。この際、画面上下方向において互いに隣接する4つの放電セルG各々で表現される輝度レベルを互いに異ならせているので、これら4つの放電セルG各々に対応した画素データにディザ係数を担うラインオフセットデータLDを加算しても、ディザパターンの発生が抑制される。

【0044】

尚、上記実施例では、第(4N-3)番目の表示ライン、第(4N-2)番目の表示ライン、第(4N-1)番目の表示ライン、第(4N)番目の表示ラインの各々に対応した画素データPDに、「10」、「8」、「6」、「4」なるラインオフセッ

トデータLDを夫々割り当てて加算しているが、その割り当てを図11に示す如くフィールド毎に変更しても良い。

【0045】

すなわち、最初の第1フィールドでは、

第(4N-3)番目の表示ラインに対応した画素データPDには「10」

第(4N-2)番目の表示ラインに対応した画素データPDには「8」

第(4N-1)番目の表示ラインに対応した画素データPDには「6」

第(4N)番目の表示ラインに対応した画素データPDには「4」

なるラインオフセットデータLDを加算する。

【0046】

第2フィールドでは、

第(4N-3)番目の表示ラインに対応した画素データPDには「8」

第(4N-2)番目の表示ラインに対応した画素データPDには「6」

第(4N-1)番目の表示ラインに対応した画素データPDには「4」

第(4N)番目の表示ラインに対応した画素データPDには「10」

なるラインオフセットデータLDを加算する。

【0047】

第3フィールドでは、

第(4N-3)番目の表示ラインに対応した画素データPDには「6」

第(4N-2)番目の表示ラインに対応した画素データPDには「4」

第(4N-1)番目の表示ラインに対応した画素データPDには「10」

第(4N)番目の表示ラインに対応した画素データPDには「8」

なるラインオフセットデータLDを加算する。

【0048】

そして、第4フィールドでは、

第(4N-3)番目の表示ラインに対応した画素データPDには「4」

第(4N-2)番目の表示ラインに対応した画素データPDには「10」

第(4N-1)番目の表示ラインに対応した画素データPDには「8」

第(4N)番目の表示ラインに対応した画素データPDには「6」

なるラインオフセットデータLDを加算する。

【0049】

更に、かかるラインオフセットデータLDの割り当て変更に対応させて、図1に示す如く、第1～第4フィールド各々で採用すべき発光駆動シーケンスを変更する。つまり、第1フィールドでは、図5に示す如き発光駆動シーケンスに従った駆動をそのまま実行するが、第2～第4フィールドでは、図5に示すサブフィールドSF1₂～SF1₄、SF2₁～SF2₄、SF3₁～SF3₄、SF4₁～SF4₄におけるアドレス行程の実行順序を変更するのである。

【0050】

例えば、第2フィールドにおいて、サブフィールドSF1₁では図5に示す発光駆動シーケンスと同様に全表示ラインに対するアドレス行程W0を実行し、サブフィールドSF2₁、SF3₁及びSF4₁では第(4N-1)番目の表示ラインに対するアドレス行程W3を、サブフィールドSF1₂、SF2₂、SF3₂及びSF4₂では第(4N)番目の表示ラインに対するアドレス行程W4を、サブフィールドSF1₃、SF2₃、SF3₃及びSF4₃では第(4N-3)番目の表示ラインに対するアドレス行程W1を、サブフィールドSF1₄、SF2₄、SF3₄及びSF4₄では第(4N-2)番目の表示ラインに対するアドレス行程W2を、それぞれ実行する。

【0051】

又、第3フィールドにおいて、サブフィールドSF1₁では図5に示す発光駆動シーケンスと同様に全表示ラインに対するアドレス行程W0を実行し、サブフィールドSF2₁、SF3₁及びSF4₁では第(4N-2)番目の表示ラインに対するアドレス行程W2を、サブフィールドSF1₂、SF2₂、SF3₂及びSF4₂では第(4N-1)番目の表示ラインに対するアドレス行程W3を、サブフィールドSF1₃、SF2₃、SF3₃及びSF4₃では第(4N)番目の表示ラインに対するアドレス行程W4を、サブフィールドSF1₄、SF2₄、SF3₄及びSF4₄では第(4N-3)番目の表示ラインに対するアドレス行程W1を、それぞれ実行する。

【0052】

又、第4フィールドにおいて、サブフィールド $SF1_1$ では図5に示す発光駆動シーケンスと同様に全表示ラインに対するアドレス行程 $W0$ を実行し、サブフィールド $SF2_1$ 、 $SF3_1$ 及び $SF4_1$ では第 $(4N-3)$ 番目の表示ラインに対するアドレス行程 $W1$ を、サブフィールド $SF1_2$ 、 $SF2_2$ 、 $SF3_2$ 及び $SF4_2$ では第 $(4N-2)$ 番目の表示ラインに対するアドレス行程 $W2$ を、サブフィールド $SF1_3$ 、 $SF2_3$ 、 $SF3_3$ 及び $SF4_3$ では第 $(4N-1)$ 番目の表示ラインに対するアドレス行程 $W3$ を、サブフィールド $SF1_4$ 、 $SF2_4$ 、 $SF3_4$ 及び $SF4_4$ では第 $(4N)$ 番目の表示ラインに対するアドレス行程 $W4$ を、それぞれ実行する。

【0053】

かかる駆動によれば、第 $(4N-3)$ 番目の表示ライン、第 $(4N-2)$ 番目の表示ライン、第 $(4N-1)$ 番目の表示ライン、及び第 $(4N)$ 表示ライン各々毎の4段階の輝度レベルが夫々、図12に示す如く各フィールド毎に変化することになる。よって、ディザパターンの発生を大幅に抑制することが可能になる。

図13は、本発明の他の実施例によるプラズマディスプレイ装置の概略構成を示す図である。

【0054】

図13において、プラズマディスプレイパネルとしてのPDP100は、表示面を担う前面基板(図示せぬ)と、放電ガスの封入された放電空間を挟んで前面基板と対向した位置に配置されている背面基板(図示せぬ)とを備える。前面基板上には、互いに交互にかつ平行に配置されている帯状の行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ が形成されている。背面基板上には、上記行電極各々に交叉して配置されている帯状の列電極 $D_1 \sim D_m$ が形成されている。尚、行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ は、一対の行電極 X 及び Y にてPDP100の第1表示ライン～第 n 表示ラインを担う構造となっており、各行電極対と列電極との交叉部(放電空間を含む)に画素を担う放電セル G が形成されている。すなわち、PDP100には、 $(n \times m)$ 個の放電セル $G_{(1,1)} \sim G_{(n,m)}$ がマトリクス状に形成されているのである。

【0055】

画素データ変換回路 1 0 は、入力映像信号を各画素毎の例えば 6 ビットの画素データ P D に変換してこれを第 1 データ変換回路 1 1 に供給する。第 1 データ変換回路 1 1 は、かかる画素データ P D を図 1 4 に示す如き変換特性に従って 5 ビットの第 1 変換画素データ P D 1 に変換し、これを多階調化処理回路 2 0 に供給する。尚、図 1 4 においては、画素データ P D 及び第 1 変換画素データ P D 1 各々の値を 1 0 進数にて表している。

【 0 0 5 6 】

多階調化処理回路 2 0 は、加算器 2 0 0、ラインオフセットデータ生成回路 2 1 0、ディザマトリクス回路 2 2 0、及び下位ビット切り捨て回路 2 3 0 から構成される。

ラインオフセットデータ生成回路 2 1 0 は、P D P 1 0 0 の第 $(4N - 3)$ 番目の表示ライン $[N : (1/4) \cdot n]$ 以下の自然数] に対応した第 1 変換画素データ P D 1 が第 1 データ変換回路 1 1 から出力された場合には「3」（1 0 進数表現）を表すラインオフセットデータ L D を生成してこれを加算器 2 0 0 に供給する。又、ラインオフセットデータ生成回路 2 1 0 は、第 $(4N - 2)$ 番目の表示ラインに対応した第 1 変換画素データ P D 1 が第 1 データ変換回路 1 1 から出力された場合には「2」（1 0 進数表現）を表すラインオフセットデータ L D を生成してこれを加算器 2 0 0 に供給する。又、ラインオフセットデータ生成回路 2 1 0 は、第 $(4N - 1)$ 番目の表示ラインに対応した画素データ P D が第 1 データ変換回路 1 1 から出力された場合には「1」（1 0 進数表現）を表すラインオフセットデータ L D を生成してこれを加算器 2 0 0 に供給する。又、ラインオフセットデータ生成回路 2 1 0 は、第 $(4N)$ 番目の表示ラインに対応した第 1 変換画素データ P D 1 が第 1 データ変換回路 1 1 から出力された場合には「0」（1 0 進数表現）を表すラインオフセットデータ L D を生成してこれを加算器 2 0 0 に供給する。

【 0 0 5 7 】

ディザマトリクス回路 2 2 0 は、互いに画面の上下左右方向に隣接する 4 つの画素からなる画素群毎に、その画素群内の各画素に対応させて図 1 5 に示す如き「0」又は「2」（1 0 進数表現）なるディザ係数を発生し、これを加算器 2 0

0に供給する。尚、ディザマトリクス回路220は、各画素群内の画素各々に対するディザ係数の割り当てを図15に示す如くフィールド毎に変更する。

【0058】

加算器200は、上記第1データ変換回路11から供給された5ビットの第1変換画素データPD1に上記ディザ係数を加算してディザ加算画素データを求める。更に、加算器200は、かかるディザ加算画素データに上記ラインオフセットデータLDを加算したものを下位ビット切り捨て回路230に供給する。

下位ビット切り捨て回路230は、ラインオフセットデータLDが加算されたディザ加算画素データの下位2ビット分を切り捨て、残りの上位3ビット分を多階調化画素データMDとして駆動データ変換回路30に供給する。

【0059】

駆動データ変換回路30は、上記多階調化画素データMDを図16に示す如きデータ変換テーブルに従って5ビットの画素駆動データGDに変換してこれをメモリ40に供給する。

メモリ40は、5ビットの画素駆動データGDを順次取り込んで記憶する。そして、1画像フレーム(n行×m列)分の画素駆動データ $GD_{1,1} \sim GD_{n,m}$ の書き込みが終了する度に、メモリ40は、画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々を各ビット桁(第1～第5ビット)毎に分離し、夫々、後述するサブフィールドSF1～SF4に対応させて1表示ライン分ずつ読み出す。メモリ40は、読み出した1表示ライン分(m個)の画素駆動データビットを画素駆動データビットDB1～DB(m)として列電極駆動回路50に供給する。すなわち、先ず、サブフィールドSF1₁において、メモリ40は、画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第1ビットのみを1表示ライン分ずつ読み出し、これらを画素駆動データビットDB1～DB(m)として列電極駆動回路50に供給する。次に、サブフィールドSF1₂～SF2₁において、メモリ40は、画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第2ビットのみを1表示ライン分ずつ読み出し、これらを画素駆動データビットDB1～DB(m)として列電極駆動回路50に供給する。次に、サブフィールドSF2₂～SF3₁において、メモリ40は、画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第3ビットのみを1表示ライン分ずつ読み出し、これらを画素駆動デー

タビットDB1～DB(m)として列電極駆動回路50に供給する。次に、サブフィールドSF3₂～SF4₁において、メモリ40は、画素駆動データGD_{1,1}～GD_{n,m}各々の第4ビットのみを1表示ライン分ずつ読み出し、これらを画素駆動データビットDB1～DB(m)として列電極駆動回路50に供給する。そして、サブフィールドSF4₂～SF4₄において、メモリ40は、画素駆動データGD_{1,1}～GD_{n,m}各々の第5ビットのみを1表示ライン分ずつ読み出し、これらを画素駆動データビットDB1～DB(m)として列電極駆動回路50に供給する。

【0060】

駆動制御回路60は、サブフィールド法に基づく図17に示されるが如き発光駆動シーケンスに従って上記PDP100を階調駆動させるべき各種タイミング信号を、上記列電極駆動回路50、行電極Y駆動回路70及び行電極X駆動回路80の各々に供給する。

図17に示す発光駆動シーケンスにおいては、1フィールドの表示期間をサブフィールドSF1～サブフィールドSF4に分割し、各サブフィールド毎に下記の如き各種駆動行程を実施する。尚、サブフィールドSF1～SF4の各々は、夫々、図17に示す如く4つのサブフィールドSF1₁～SF1₄、SF2₁～SF2₄、SF3₁～SF3₄、SF4₁～SF4₄からなる。

【0061】

先ず、先頭のサブフィールドSF1₁では、PDP100の全ての放電セルを点灯モード（所定量の壁電荷が形成された状態）に初期化するリセット行程R、上記画素駆動データに応じて全表示ラインに対して選択的に各放電セルを消灯モード（壁電荷が消去された状態）に推移せしめるアドレス行程W0及び点灯モードにある放電セルのみを期間「6」に亘り継続して放電発光せしめるサステイン行程Iとを実行する。

【0062】

サブフィールドSF2₁、SF3₁及びSF4₁各々では、画素駆動データに応じて第(4N)番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめるアドレス行程W4と、点灯モードにある放電セルのみを期間「4」に亘り継続して放電発光せしめるサステイン行程Iとを実行する。

サブフィールド $SF1_2$ 、 $SF2_2$ 、 $SF3_2$ 及び $SF4_2$ 各々では、画素駆動データに応じて第 $(4N-3)$ 番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめるアドレス行程 $W1$ と、点灯モードにある放電セルのみを期間「4」に亘り継続して放電発光せしめるサステイン行程 I とを実行する。

【0063】

サブフィールド $SF1_3$ 、 $SF2_3$ 、 $SF3_3$ 及び $SF4_3$ 各々では、画素駆動データに応じて第 $(4N-2)$ 番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめるアドレス行程 $W2$ と、点灯モードにある放電セルのみを期間「4」に亘り継続して放電発光せしめるサステイン行程 I とを実行する。

サブフィールド $SF1_4$ 、 $SF2_4$ 及び $SF3_4$ 及び $SF4_4$ 各々では、画素駆動データに応じて第 $(4N-1)$ 番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめるアドレス行程 $W3$ と、点灯モードにある放電セルのみを期間「4」に亘り継続して放電発光せしめるサステイン行程 I と、を実行する。

【0064】

図18は、かかる発光駆動シーケンスに従って、列電極駆動回路50、行電極Y駆動回路70及び行電極X駆動回路80各々がPDP100に印加する各種駆動パルスと、その印加タイミングを示す図である。尚、サブフィールド $SF2_1$ 、 $SF3_1$ 及び $SF4_1$ の各々においてPDP100に印加される各種駆動パルス及びその印加タイミングは互いに同一である。又、サブフィールド $SF1_2$ 、 $SF2_2$ 、 $SF3_2$ 、及び $SF4_2$ の各々においてPDP100に印加される各種駆動パルス及びその印加タイミングは互いに同一である。又、サブフィールド $SF1_3$ 、 $SF2_3$ 、 $SF3_3$ 及び $SF4_3$ の各々においてPDP100に印加される各種駆動パルス及びその印加タイミングは互いに同一である。更に、サブフィールド $SF1_4$ 、 $SF2_4$ 、 $SF3_4$ 、及び $SF4_4$ の各々においてPDP100に印加される各種駆動パルス及びその印加タイミングは互いに同一である。そこで、図18においては、サブフィールド $SF1_1$ から $SF2_1$ のアドレス行程 $W4$ までのみを抜粋して示している。

【0065】

先ず、サブフィールド $S F 1_1$ のリセット行程 R では、行電極 X 駆動回路 80 が立ち下がり変化の緩やかな負極性のリセットパルス $R P_x$ を発生して $P D P 100$ の行電極 $X_1 \sim X_n$ に印加する。かかるリセットパルス $R P_x$ と同時に、行電極 Y 駆動回路 70 は、立ち上がり変換の緩やかな正極性のリセットパルス $R P_y$ を発生して $P D P 100$ の行電極 $Y_1 \sim Y_n$ に印加する。これらリセットパルス $R P_x$ 及び $R P_y$ の同時印加に応じて、 $P D P 100$ の全放電セル内にはリセット放電が生起され、各放電セル内に壁電荷が形成される。これにより、全ての放電セルは後述するサステイン行程 I において発光(サステイン放電に伴う発光)が可能な状態である点灯モードに初期化される。

【 0 0 6 6 】

次に、サブフィールド $S F 1_1$ のアドレス行程 $W0$ では、行電極 Y 駆動回路 70 が負極性の走査パルス $S P$ を行電極 $Y_1 \sim Y_n$ に順次印加して行く。この間、列電極駆動回路 50 は、メモリ 40 から読み出された画素駆動データビット $D B 1 \sim D B(m)$ に対応した 1 表示ライン分の m 個の画素データパルスを発生し、これら m 個の画素データパルスからなる画素データパルス群 $D P$ を上記走査パルス $S P$ のタイミングに同期して列電極 $D_1 \sim D_m$ 各々に印加する。つまり、 $P D P 100$ の第 $1 \sim$ 第 n 表示ライン各々に対応した画素データパルス群 $D P_1 \sim D P_n$ 各々が順次図 18 に示す如く列電極 $D_1 \sim D_m$ 各々に印加されるのである。尚、列電極駆動回路 50 は、画素駆動データビット $D B$ が論理レベル 1 である場合には高電圧の画素データパルスを発生する一方、論理レベル 0 である場合には低電圧の画素データパルスを発生する。ここで、上記走査パルス $S P$ が印加された表示ラインと、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ消去アドレス放電が生起される。かかる消去アドレス放電により、放電セル内に形成されていた壁電荷が消滅し、この放電セルは、後述するサステイン行程 I において発光(サステイン放電に伴う発光)が為されない状態である消灯モードに推移する。一方、上記走査パルス $S P$ が印加されたものの低電圧の画素データパルスが印加された放電セルには上述のような消去アドレス放電は生起されず、その直前までの状態(点灯モード又は消灯モード)を維持する。

【 0 0 6 7 】

すなわち、アドレス行程W0によれば、PDP100の全ての放電セルを、画素データに基づいて選択的に消去アドレス放電させる。これにより、各放電セルは点灯モード又は消灯モードのいずれか一方の状態に設定される。

次に、サブフィールドSF1₁のサステイン行程Iでは、行電極X駆動回路80及び行電極Y駆動回路70各々が、図18に示されるが如く行電極X₁~X_n及びY₁~Y_nに対して交互に正極性のサステインパルスIP_X及びIP_Yを所定期数だけ繰り返し印加する。この際、壁電荷が残留したままとなっている放電セル、すなわち点灯モードに設定されている放電セルのみが上記サステインパルスIP_X及びIP_Yが印加される度にサステイン放電し、このサステイン放電に伴う発光状態を維持する。これにより、サブフィールドSF1₁のアドレス行程W0において消去アドレス放電が生起されず、点灯モードの状態を維持した放電セルのみがこのサステイン行程Iにて所定期間「6」に亘り発光するのである。

【0068】

次に、サブフィールドSF1₂のアドレス行程W1では、行電極Y駆動回路70が負極性の走査パルスSPをPDP100の第(4N-3)番目の表示ライン[N:1~(1/4)·n]に属する行電極Y、つまり行電極Y₁、Y₅、Y₉、…、Y_(n-3)に順次印加して行く。この間、列電極駆動回路50は、メモリ40から読み出された画素駆動データビットDB1~DB(m)に対応した1表示ライン分のm個の画素データパルスを発生し、これらm個の画素データパルスからなる画素データパルス群DPを上記走査パルスSPのタイミングに同期して列電極D₁~D_m各々に印加する。この際、サブフィールドSF1₂ではPDP100の第(4N-3)番目の表示ラインに対応した画素駆動データビットDBがメモリ40から読み出されるので、列電極駆動回路50は、この第(4N-3)番目の表示ラインに対応した画素データパルス群DP₁、DP₅、DP₉、…、DP_(n-3)各々を図6に示す如く順次列電極D₁~D_m各々に印加する。尚、列電極駆動回路50は、画素駆動データビットDBが論理レベル1である場合には高電圧の画素データパルスを発生する一方、論理レベル0である場合には低電圧の画素データパルスを発生する。ここで、上記走査パルスSPが印加された表示ラインと、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ消去アドレス放

電が生起される。かかる消去アドレス放電により、放電セル内に形成されていた壁電荷が消滅し、この放電セルは、サステイン行程 I において発光(サステイン放電に伴う発光)が為されない状態である消灯モードに推移する。一方、上記走査パルス SP が印加されたものの低電圧の画素データパルスが印加された放電セルには上述のような消去アドレス放電は生起されず、その直前までの状態(点灯モード又は消灯モード)が維持される。

【 0 0 6 9 】

すなわち、アドレス行程 W1 では、PDP 100 の第(4N-3) 番目の表示ラインに属する放電セルのみを対象にして、画素データに基づいて選択的に消去アドレス放電を生起せしめ、各放電セルを点灯モード又は消灯モードのいずれか一方の状態に設定するのである。

次に、サブフィールド SF 1₂ のサステイン行程 I では、行電極 X 駆動回路 80 及び行電極 Y 駆動回路 70 各々が、図 18 に示されるが如く行電極 X₁ ~ X_n 及び Y₁ ~ Y_n に対して交互に正極性のサステインパルス IP_X 及び IP_Y を所定期間だけ繰り返し印加する。この際、壁電荷が残留したままとなっている放電セル、すなわち上記点灯モードに設定されている放電セルのみが上記サステインパルス IP_X 及び IP_Y が印加される度にサステイン放電し、このサステイン放電に伴う発光状態を維持する。これにより、アドレス行程 W0 及び W1 のいずれにおいても消去アドレス放電が生起されずに点灯モードの状態を維持した放電セルのみが、このサステイン行程 I において所定期間「4」に亘り発光するのである。

【 0 0 7 0 】

次に、サブフィールド SF 1₃ のアドレス行程 W2 では、行電極 Y 駆動回路 70 が負極性の走査パルス SP を PDP 100 の第(4N-2) 番目の表示ライン [N : 1 ~ (1/4) · n] に属する行電極 Y、つまり行電極 Y₂、Y₆、Y₁₀、…、Y_(n-2) に順次印加して行く。この間、列電極駆動回路 50 は、メモリ 40 から読み出された画素駆動データビット DB 1 ~ DB (m) に対応した 1 表示ライン分の m 個の画素データパルスを発生し、これら m 個の画素データパルスからなる画素データパルス群 DP を上記走査パルス SP のタイミングに同期して列電極 D₁ ~ D_m 各々に印加する。この際、サブフィールド SF 1₃ では PDP 100 の第(4N-

2) 番目の表示ラインに対応した画素駆動データビットDBがメモリ40から読み出されるので、列電極駆動回路50は、この第(4N-2)番目の表示ラインに対応した画素データパルス群 DP_2 、 DP_6 、 DP_{10} 、 \dots 、 $DP_{(n-2)}$ 各々を図18に示す如く順次列電極 $D_1 \sim D_m$ 各々に印加する。尚、列電極駆動回路50は、画素駆動データビットDBが論理レベル1である場合には高電圧の画素データパルスを発生する一方、論理レベル0である場合には低電圧の画素データパルスを発生する。ここで、上記走査パルスSPが印加された表示ラインと、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ消去アドレス放電が生起される。かかる消去アドレス放電により、放電セル内に形成されていた壁電荷が消滅し、この放電セルは消灯モードに推移する。一方、上記走査パルスSPが印加されたものの低電圧の画素データパルスが印加された放電セルには上述のような消去アドレス放電は生起されず、その直前までの状態(点灯モード又は消灯モード)が維持される。

【0071】

すなわち、アドレス行程W2では、PDP100の第(4N-2)番目の表示ラインに属する放電セルのみを対象にして、画素データに基づいて選択的に消去アドレス放電を生起せしめ、各放電セルを点灯モード又は消灯モードのいずれか一方の状態に設定するのである。

次に、サブフィールドSF13のサステイン行程Iでは、行電極X駆動回路80及び行電極Y駆動回路70各々が、図18に示されるが如く行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に対して交互に正極性のサステインパルス IP_X 及び IP_Y を所定回数だけ繰り返し印加する。この際、壁電荷が残留したままとなっている放電セル、すなわち上記点灯モードに設定されている放電セルのみが上記サステインパルス IP_X 及び IP_Y が印加される度にサステイン放電し、このサステイン放電に伴う発光状態を維持する。これにより、上記アドレス行程W0、W1及びW2のいずれにおいても消去アドレス放電が生起されず、点灯モードの状態を維持した放電セルのみがこのサステイン行程Iにおいて所定期間「4」に亘り発光するのである。

【0072】

次に、サブフィールド $SF1_4$ のアドレス行程 $W3$ では、行電極 Y 駆動回路 70 が負極性の走査パルス SP を $PDP100$ の第 $(4N-1)$ 番目の表示ライン $[N: 1 \sim (1/4) \cdot n]$ に属する行電極 Y 、つまり行電極 Y_3 、 Y_7 、 Y_{11} 、 \dots 、 $Y_{(n-1)}$ に順次印加して行く。この間、列電極駆動回路 50 は、メモリ 40 から読み出された画素駆動データビット $DB1 \sim DB(m)$ に対応した 1 表示ライン分の m 個の画素データパルスを発生し、これら m 個の画素データパルスからなる画素データパルス群 DP を上記走査パルス SP のタイミングに同期して列電極 $D_1 \sim D_m$ 各々に印加する。この際、サブフィールド $SF1_4$ では $PDP100$ の第 $(4N-1)$ 番目の表示ラインに対応した画素駆動データビット DB がメモリ 40 から読み出されるので、列電極駆動回路 50 は、この第 $(4N-1)$ 番目の表示ラインに対応した画素データパルス群 DP_3 、 DP_7 、 DP_{11} 、 \dots 、 $DP_{(n-1)}$ 各々を図 18 に示す如く順次列電極 $D_1 \sim D_m$ 各々に印加する。尚、列電極駆動回路 50 は、画素駆動データビット DB が論理レベル 1 である場合には高電圧の画素データパルスを発生する一方、論理レベル 0 である場合には低電圧の画素データパルスを発生する。ここで、上記走査パルス SP が印加された表示ラインと、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ消去アドレス放電が生起される。かかる消去アドレス放電により、放電セル内に形成されていた壁電荷が消滅し、この放電セルは消灯モードに推移する。一方、上記走査パルス SP が印加されたものの低電圧の画素データパルスが印加された放電セルには上述のような消去アドレス放電は生起されず、その直前までの状態（点灯モード又は消灯モード）が維持される。

【0073】

すなわち、アドレス行程 $W3$ では、 $PDP100$ の第 $(4N-1)$ 番目の表示ラインに属する放電セルのみを対象にして、画素データに基づいて選択的に消去アドレス放電を生起せしめ、各放電セルを点灯モード又は消灯モードのいずれか一方の状態に設定するのである。

次に、サブフィールド $SF1_4$ のサステイン行程 I では、行電極 X 駆動回路 80 及び行電極 Y 駆動回路 70 各々が、図 18 に示されるが如く行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に対して交互に正極性のサステインパルス IP_X 及び IP_Y を所定回数

だけ繰り返し印加する。この際、壁電荷が残留したままとなっている放電セル、すなわち点灯モードに設定されている放電セルのみが上記サスティンパルス IP_X 及び IP_Y が印加される度にサスティン放電し、このサスティン放電に伴う発光状態を維持する。つまり、上記アドレス行程 W_0 、 W_1 、 W_2 及び W_3 のいずれにおいても消去アドレス放電が生起されずに点灯モードの状態を維持した放電セルのみがこのサスティン行程 I において所定期間「4」に亘り発光するのである。

【 0 0 7 4 】

次に、サブフィールド $SF2_1$ のアドレス行程 W_4 では、行電極 Y 駆動回路 70 が負極性の走査パルス SP を $PDP100$ の第 $(4N)$ 番目の表示ライン $[N: 1 \sim (1/4) \cdot n]$ に属する行電極 Y 、つまり行電極 Y_4 、 Y_8 、 Y_{12} 、 \dots 、 Y_n に順次印加して行く。この間、列電極駆動回路 50 は、メモリ 40 から読み出された画素駆動データビット $DB_1 \sim DB(m)$ に対応した 1 表示ライン分の m 個の画素データパルスを発生し、これら m 個の画素データパルスからなる画素データパルス群 DP を上記走査パルス SP のタイミングに同期して列電極 $D_1 \sim D_m$ 各々に印加する。この際、サブフィールド $SF2_1$ では $PDP100$ の第 $(4N)$ 番目の表示ラインに対応した画素駆動データビット DB がメモリ 40 から読み出されるので、列電極駆動回路 50 は、この第 $(4N)$ 番目の表示ラインに対応した画素データパルス群 DP_4 、 DP_8 、 DP_{12} 、 \dots 、 DP_n 各々を図 18 に示す如く順次列電極 $D_1 \sim D_m$ 各々に印加する。尚、列電極駆動回路 50 は、画素駆動データビット DB が論理レベル 1 である場合には高電圧の画素データパルスを発生する一方、論理レベル 0 である場合には低電圧の画素データパルスを発生する。ここで、上記走査パルス SP が印加された表示ラインと、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ消去アドレス放電が生起される。かかる消去アドレス放電により、放電セル内に形成されていた壁電荷が消滅し、この放電セルは消灯モードに推移する。一方、上記走査パルス SP が印加されたものの低電圧の画素データパルスが印加された放電セルには上述のような消去アドレス放電は生起されず、その直前までの状態（点灯モード又は消灯モード）が維持される。

【 0 0 7 5 】

すなわち、アドレス行程W4では、PDP100の第(4N)番目の表示ラインに属する放電セルのみを対象にして、画素データに基づいて選択的に消去アドレス放電を生起せしめ、各放電セルを点灯モード又は消灯モードのいずれか一方の状態に設定するのである。

次に、サブフィールドSF2₁のサステイン行程I（図示せず）では、行電極X駆動回路80及び行電極Y駆動回路70各々が、行電極X₁～X_n及びY₁～Y_nに対して交互に正極性のサステインパルスIP_X及びIP_Yを所定回数だけ繰り返して印加する。この際、壁電荷が残留したままとなっている放電セル、すなわち点灯モードに設定されている放電セルのみが上記サステインパルスIP_X及びIP_Yが印加される度にサステイン放電し、このサステイン放電に伴う発光状態を維持する。つまり、上記アドレス行程W0、W1、W2、W3及びW4のいずれにおいても消去アドレス放電が生起されずに点灯モードの状態を維持した放電セルのみがこのサステイン行程Iにおいて所定期間「4」に亘り発光するのである。

【 0 0 7 6 】

以上の如き駆動によれば、サブフィールドSF1～SF4の中で、放電セルを消灯モードから点灯モード状態に推移させることが可能な機会は、先頭のサブフィールドSF1のリセット行程Rだけである。つまり、サブフィールドSF1～SF4各々の内の1のサブフィールドで消去アドレス放電が生起され、一度、放電セルが消灯モードに設定されると、それ以降のサブフィールドではこの放電セルを点灯モードに復帰させることは出来ない。従って、図16に示す如き5通りの画素駆動データGDに応じた駆動によれば、表現すべき輝度に対応した分だけ連続したサブフィールドの各々において放電セルが点灯モードに設定される。そして、消去アドレス放電(黒丸にて示す)が生起されるまでの間、各サブフィールドのサステイン行程Iにおいて連続してサステイン放電発光(白丸にて示す)が為される。この際、かかるサステイン放電発光による1フィールド期間内での総発光期間に対応した中間輝度が視覚される。

【 0 0 7 7 】

ここで、図17及び図18に示す駆動では、PDP100による画面上下方向

において互いに隣接する4つの表示ライン各々に属する放電セル、つまり、

第(4N-3)番目の表示ラインに属する放電セル、

第(4N-2)番目の表示ラインに属する放電セル、

第(4N-1)番目の表示ラインに属する放電セル、

第(4N)番目の表示ラインの各々に属する放電セル、

の各々毎に、画素駆動データGDに基づく駆動による1フィールド期間内での総発光期間が互いに異なる。

【0078】

例えば、図16に示される[00100]なる画素駆動データGDによれば、第(4N-3)番目の表示ライン、つまり第1、第5、第9、…、第(n-3)表示ライン各々に属する放電セルは、白丸に示すように、サブフィールドSF1₁～SF1₄及びSF2₁各々のサステイン行程Iにてサステイン放電発光する。一方、第(4N-2)番目の表示ライン、つまり第2、第6、第10、…、第(n-2)表示ライン各々に属する放電セルでは、サブフィールドSF1₁～SF1₄、SF2₁及びSF2₂各々のサステイン行程Iにてサステイン放電発光する。又、第(4N-1)番目の表示ライン、つまり第3、第7、第11、…、第(n-1)表示ライン各々に属する放電セルでは、サブフィールドSF1₁～SF1₄、及びSF2₁～SF2₃各々のサステイン行程Iにてサステイン放電発光する。更に、第(4N)番目の表示ライン、つまり第4、第8、第12、…、第n表示ライン各々に属する放電セルでは、サブフィールドSF1₁～SF1₄、及びSF2₁～SF2₄各々のサステイン行程Iにてサステイン放電発光する。

【0079】

よって、サブフィールドSF1₁のサステイン行程I内での発光期間が「6」、その他のサブフィールド各々のサステイン行程I内での発光期間が「4」であると、[00100]なる画素駆動データGDに応じて生起されるサステイン放電発光による1フィールド期間内での総発光期間は、図16に示す如く、

第(4N-3)番目の表示ラインに属する放電セル：「22」

第(4N-2)番目の表示ラインに属する放電セル：「26」

第(4N-1)番目の表示ラインに属する放電セル：「30」

第(4N) 番目の表示ラインに属する放電セル : 「34」
となる。

【0080】

同様に、図16に示す如き「01000」なる画素駆動データGDによって生起されるサスティン放電発光による1フィールド期間内での総発光期間は、

第(4N-3) 番目の表示ラインに属する放電セル : 「6」

第(4N-2) 番目の表示ラインに属する放電セル : 「10」

第(4N-1) 番目の表示ラインに属する放電セル : 「14」

第(4N) 番目の表示ラインに属する放電セル : 「18」
となる。

【0081】

すなわち、互いに隣接する4つの表示ライン各々に対して、1フィールド期間内での総発光期間を夫々異ならせた駆動を実施するようにしたのである。

尚、かかる駆動によっても、互いに画面上下方向に隣接する4つの放電セル各々の平均輝度レベルが等しくなるように、画素データPDにディザ係数を加算して得たディザ加算画素データに、更に、ラインオフセットデータLDを加算するようにしている。

【0082】

例えば、PDP100の画面上下方向において互いに隣接する放電セル $G_{(1,1)}$ 、 $G_{(2,1)}$ 、 $G_{(3,1)}$ 、 $G_{(4,1)}$ 、並びにこれら4つの放電セル各々の右側に隣接する放電セル $G_{(1,2)}$ 、 $G_{(2,2)}$ 、 $G_{(3,2)}$ 、 $G_{(4,2)}$ 各々に対応した画素データPDの各々が、図19に示す如く共に「32」(10進数表現)を表す6ビットデータであるとする。先ず、この「32」を表す画素データPDの各々は、図14に示す如き変換特性を有する第1データ変換回路11によって「8」を表す5ビットの第1変換画素データPD1に変換される。次に、放電セル $G_{(1,1)}$ 、 $G_{(2,1)}$ 、 $G_{(3,1)}$ 、 $G_{(4,1)}$ 、 $G_{(1,2)}$ 、 $G_{(2,2)}$ 、 $G_{(3,2)}$ 、 $G_{(4,2)}$ 各々に対応した上記第1変換画素データPD1の各々に、図19に示す如く、「0」又は「2」なるディザ係数、及び「3」、「2」、「1」、「0」なるラインオフセットデータLDを夫々加算すると、

「11」を表す[01011]なるディザ加算画素データ、
 「12」を表す[01100]なるディザ加算画素データ、
 「9」を表す[01001]なるディザ加算画素データ、
 「10」を表す[01010]なるディザ加算画素データ、
 「13」を表す[01101]なるディザ加算画素データ、
 「10」を表す[01010]なるディザ加算画素データ、
 「11」を表す[01011]なるディザ加算画素データ、
 「8」を表す[01000]なるディザ加算画素データ、
 が夫々得られる。

【0083】

ここで、上記ディザ加算画素データ各々の下位2ビット分を切り捨てて上位3ビット分を抽出すると、図19に示す如く、放電セル $G_{(1,1)}$ 、 $G_{(2,1)}$ 、 $G_{(3,1)}$ 、 $G_{(4,1)}$ 、 $G_{(1,2)}$ 、 $G_{(2,2)}$ 、 $G_{(3,2)}$ 、 $G_{(4,2)}$ 各々に対応した、

「2」を表す[010]なる多階調化画素データ $MD_{(1,1)}$ 、
 「3」を表す[011]なる多階調化画素データ $MD_{(2,1)}$ 、
 「2」を表す[010]なる多階調化画素データ $MD_{(3,1)}$ 、
 「2」を表す[010]なる多階調化画素データ $MD_{(4,1)}$ 、
 「3」を表す[011]なる多階調化画素データ $MD_{(1,2)}$ 、
 「2」を表す[010]なる多階調化画素データ $MD_{(2,2)}$ 、
 「2」を表す[010]なる多階調化画素データ $MD_{(3,2)}$ 、
 「2」を表す[010]なる多階調化画素データ $MD_{(4,2)}$ 、
 が夫々得られる。

【0084】

従って、[010]なる多階調化画素データ $MD_{(1,1)}$ によれば、第 $(4N-3)$ 番目の表示ラインに属する放電セル $G_{(1,1)}$ は、図16の白丸にて示す如く、サブフィールド $SF1_1 \sim SF1_4$ 及び $SF2_1$ 各々のサステイン行程Iにてサステイン放電発光する。その結果「22」なる発光輝度が視覚される。又、[011]なる多階調化画素データ $MD_{(2,1)}$ によれば、第 $(4N-2)$ 番目の表示ラインに属する放電セル $G_{(2,1)}$ は、サブフィールド $SF1_1 \sim SF1_4$ 、 $SF2_1 \sim SF2$

4、 $SF3_1$ 及び $SF3_2$ 各々のサステイン行程Iにてサステイン放電発光する。その結果「42」なる発光輝度が視覚される。又、 $[010]$ なる多階調化画素データ $MD_{(3,1)}$ によれば、第 $(4N-1)$ 番目の表示ラインに属する放電セル $G_{(3,1)}$ は、図16の白丸にて示す如く、サブフィールド $SF1_1 \sim SF1_4$ 、 $SF2_1 \sim SF2_3$ 各々のサステイン行程Iにてサステイン放電発光する。その結果「30」なる発光輝度が視覚される。又、 $[010]$ なる多階調化画素データ $MD_{(4,1)}$ によれば、第 $(4N)$ 番目の表示ラインに属する放電セル $G_{(4,1)}$ は、図4の白丸にて示す如く、サブフィールド $SF1_1 \sim SF1_4$ 、 $SF2_1 \sim SF2_4$ 各々のサステイン行程Iにてサステイン放電発光する。その結果「34」なる発光輝度が視覚される。

【0085】

又、 $[011]$ なる多階調化画素データ $MD_{(1,2)}$ によれば、第 $(4N-3)$ 番目の表示ラインに属する放電セル $G_{(1,2)}$ は、図16の白丸にて示す如く、サブフィールド $SF1_1 \sim SF1_4$ 、 $SF2_1 \sim SF2_4$ 及び $SF3_1$ 各々のサステイン行程Iにてサステイン放電発光する。その結果「38」なる発光輝度が視覚される。又、 $[010]$ なる多階調化画素データ $MD_{(2,2)}$ によれば、第 $(4N-2)$ 番目の表示ラインに属する放電セル $G_{(2,2)}$ は、サブフィールド $SF1_1 \sim SF1_4$ 、 $SF2_1 \sim SF2_2$ 各々のサステイン行程Iにてサステイン放電発光する。その結果「26」なる発光輝度が視覚される。又、 $[010]$ なる多階調化画素データ $MD_{(3,2)}$ によれば、第 $(4N-1)$ 番目の表示ラインに属する放電セル $G_{(3,2)}$ は、図16の白丸にて示す如く、サブフィールド $SF1_1 \sim SF1_4$ 、 $SF2_1 \sim SF2_3$ 各々のサステイン行程Iにてサステイン放電発光する。その結果「30」なる発光輝度が視覚される。又、 $[010]$ なる多階調化画素データ $MD_{(4,2)}$ によれば、第 $(4N)$ 番目の表示ラインに属する放電セル $G_{(4,2)}$ は、図4の白丸にて示す如く、サブフィールド $SF1_1 \sim SF1_4$ 、 $SF2_1 \sim SF2_4$ 各々のサステイン行程Iにてサステイン放電発光する。その結果「34」なる発光輝度が視覚される。

【0086】

従って、輝度レベル「32」を表す画素データPDが供給されると、PDP1

0 0 の画面内において互いに隣接する放電セル $G_{(1,1)}$ 、 $G_{(2,1)}$ 、 $G_{(3,1)}$ 、 $G_{(4,1)}$ 、 $G_{(1,2)}$ 、 $G_{(2,2)}$ 、 $G_{(3,2)}$ 、 $G_{(4,2)}$ 各々では、

$G_{(1,1)}$: 輝度レベル「2 2」

$G_{(2,1)}$: 輝度レベル「4 2」

$G_{(3,1)}$: 輝度レベル「3 0」

$G_{(4,1)}$: 輝度レベル「3 4」

$G_{(1,2)}$: 輝度レベル「3 8」

$G_{(2,2)}$: 輝度レベル「2 6」

$G_{(3,2)}$: 輝度レベル「3 0」

$G_{(4,2)}$: 輝度レベル「3 4」

を表現する発光が為されるのである。

【0 0 8 7】

これら 8 つの放電セル G を 1 単位として眺めた場合、各輝度レベルの平均値である輝度レベル「3 2」が視覚される。つまり、入力映像信号（画素データ $P D$ ）によって示される輝度が表現されるのである。

以上の如く、図 1 3 に示すプラズマディスプレイ装置においては、 $P D P 1 0$ の第 $(4 N - 3)$ 番目の表示ライン、第 $(4 N - 2)$ 番目の表示ライン、第 $(4 N - 1)$ 番目の表示ライン、及び第 $(4 N)$ 番目の表示ライン毎に、図 2 0 に示すように、互いに異なる 4 つの輝度レベルを表現すべき発光駆動を実施している。ここで、画面上下方向において互いに隣接する 4 つの放電セル G を 1 単位として眺めた場合、この 1 単位内で各放電セル G 毎に表現される輝度レベルの平均値に応じた、図 2 1 及び図 2 2 に示す如き 1 7 通り（輝度レベル 0 は図示せず）の中間輝度レベルが表現されるのである。この際、画面上下方向において互いに隣接する 4 つの放電セル G 各々に対応した画素データにラインオフセットデータ $L D$ を加算すると共に、2 行 \times 2 列分の画素データ毎に図 1 5 に示す如きディザ係数を加算するようにしたので、より良好にディザパターンを抑制することができる。

【0 0 8 8】

尚、図 1 3 に示すプラズマディスプレイ装置の駆動では、予め全放電セル内に

壁電荷を形成させておき、これを画素データに応じて選択的に消去する、いわゆる選択消去アドレス法を採用しているが、画素データに応じて選択的に各放電セル内に壁電荷を形成させる選択書込アドレス法も適用可能である。

図23は、かかる選択書込アドレス法に基づき図13に示すプラズマディスプレイ装置を駆動する際に採用される発光駆動シーケンスの一例を示す図である。

【0089】

図23に示す発光駆動シーケンスにおいては、1フィールドの表示期間をサブフィールド群SF4～サブフィールド群SF1なる4つのサブフィールド群に分割し、各サブフィールド毎に下記の如き各種駆動行程を実施する。尚、サブフィールド群SF4～SF1の各々は、夫々、図23に示す如く4つのサブフィールドSF4₁～SF4₄、SF3₁～SF3₄、SF2₁～SF2₄、SF1₁～SF1₄からなる。

【0090】

サブフィールドSF4₁、SF3₁、SF2₁及びSF1₁各々では、第(4N-3)番目の表示ラインに属する放電セルを画素駆動データに応じて選択的に点灯モードに推移せしめるアドレス行程W1と、点灯モードにある放電セルのみを期間「4」に亘り継続して放電発光せしめるサステイン行程Iと、を実行する。又、サブフィールドSF4₂、SF3₂、SF2₂及びSF1₂各々では、第(4N-2)番目の表示ラインに属する放電セルを画素駆動データに応じて選択的に点灯モードに推移せしめるアドレス行程W2と、点灯モードにある放電セルのみを期間「4」に亘り継続して放電発光せしめるサステイン行程Iと、を実行する。又、サブフィールドSF4₃、SF3₃、SF2₃及びSF1₃各々では、第(4N-1)番目の表示ラインに属する放電セルを画素駆動データに応じて選択的に点灯モードに推移せしめるアドレス行程W3と、点灯モードにある放電セルのみを期間「4」に亘り継続して放電発光せしめるサステイン行程Iと、を実行する。又、サブフィールドSF4₄、SF3₄、及びSF2₄各々では、第(4N)番目の表示ラインに属する放電セルを画素駆動データに応じて選択的に点灯モードに推移せしめるアドレス行程W4と、点灯モードにある放電セルのみを期間「4」に亘り継続して放電発光せしめるサステイン行程Iと、を実行する。そして、最後尾

のサブフィールド $SF1_4$ では、第 $(4N)$ 番目の表示ラインに属する放電セルを画素駆動データに応じて選択的に点灯モードに推移させるアドレス行程 $W4$ 、点灯モードにある放電セルのみを期間「6」に亘り継続して放電発光させるサステイン行程 I 、及び全放電セルを消灯モードに推移させる消去行程 E を実行する。尚、先頭のサブフィールド $SF4_1$ のみで、上記アドレス行程 $W1$ に先立ち、全放電セル G を消灯モードに初期化するリセット行程 R を実行する。

【0091】

この際、図23に示す如き先頭のサブフィールド $SF4_1$ のリセット行程 R では、 $PDP100$ の全放電セル内においてリセット放電が生起され、各放電セル内に残存していた壁電荷が消滅する。これにより、全ての放電セルはサステイン行程 I において発光(サステイン放電に伴う発光)が為されない状態である消灯モードに初期化される。

【0092】

又、図23に示すサブフィールド $SF4_1$ 、 $SF3_1$ 、 $SF2_1$ 及び $SF1_1$ 各々のアドレス行程 $W1$ では、行電極 Y 駆動回路70が負極性の走査パルス SP を $PDP100$ の第 $(4N-3)$ 番目の表示ラインに属する行電極 Y 、つまり行電極 Y_1 、 Y_5 、 Y_9 、 \dots 、 $Y_{(n-3)}$ に順次印加して行く。この間、列電極駆動回路50は、メモリ40から読み出された画素駆動データビット $DB1 \sim DB(m)$ に対応した1表示ライン分の m 個の画素データパルスを発生し、これら m 個の画素データパルスからなる画素データパルス群 DP を上記走査パルス SP のタイミングに同期して列電極 $D_1 \sim D_m$ 各々に印加する。ここで、上記走査パルス SP が印加された表示ラインと、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ書込アドレス放電が生起される。かかる書込アドレス放電により、放電セル内に壁電荷が形成され、この放電セルは、サステイン行程 I において発光(サステイン放電に伴う発光)可能な状態である点灯モードに推移する。一方、上記走査パルス SP が印加されたものの低電圧の画素データパルスが印加された放電セルには上述のような書込アドレス放電は生起されず、その直前までの状態(点灯モード又は消灯モード)が維持される。

【0093】

すなわち、アドレス行程W1では、PDP100の第(4N-3)番目の表示ラインに属する放電セルのみを対象にして、画素データに応じて選択的に書込アドレス放電を生起せしめることにより、第(4N-3)番目の表示ラインに属する放電セル各々を点灯モード又は消灯モードのいずれか一方の状態に設定するのである。

【0094】

又、図23に示すサブフィールドSF4₂、SF3₂、SF2₂及びSF1₂各々のアドレス行程W2では、行電極Y駆動回路70が負極性の走査パルスSPをPDP100の第(4N-2)番目の表示ラインに属する行電極Y、つまり行電極Y₂、Y₆、Y₁₀、…、Y_(n-2)に順次印加して行く。この間、列電極駆動回路50は、メモリ40から読み出された画素駆動データビットDB1～DB(m)に対応した1表示ライン分のm個の画素データパルスを発生し、これらm個の画素データパルスからなる画素データパルス群DPを上記走査パルスSPのタイミングに同期して列電極D₁～D_m各々に印加する。ここで、上記走査パルスSPが印加された表示ラインと、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ書込アドレス放電が生起される。かかる書込アドレス放電により、放電セル内に壁電荷が形成され、この放電セルは、サスティン行程Iにおいて発光(サスティン放電に伴う発光)可能な状態である点灯モードに推移する。一方、上記走査パルスSPが印加されたものの低電圧の画素データパルスが印加された放電セルには上述のような書込アドレス放電は生起されず、その直前までの状態(点灯モード又は消灯モード)が維持される。

【0095】

すなわち、アドレス行程W2では、PDP100の第(4N-2)番目の表示ラインに属する放電セルのみを対象にして、画素データに応じて選択的に書込アドレス放電を生起せしめることにより、第(4N-2)番目の表示ラインに属する放電セル各々を点灯モード又は消灯モードのいずれか一方の状態に設定するのである。

【0096】

又、図23に示すサブフィールドSF4₃、SF3₃、SF2₃及びSF1₃各々

のアドレス行程W3では、行電極Y駆動回路70が負極性の走査パルスSPをPDP100の第(4N-1)番目の表示ラインに属する行電極Y、つまり行電極Y₃、Y₇、Y₁₁、…、Y_(n-1)に順次印加して行く。この間、列電極駆動回路50は、メモリ40から読み出された画素駆動データビットDB1～DB(m)に対応した1表示ライン分のm個の画素データパルスを発生し、これらm個の画素データパルスからなる画素データパルス群DPを上記走査パルスSPのタイミングに同期して列電極D₁～D_m各々に印加する。ここで、上記走査パルスSPが印加された表示ラインと、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ書込アドレス放電が生起される。かかる書込アドレス放電により、放電セル内に壁電荷が形成され、この放電セルは、サスティン行程Iにおいて発光(サスティン放電に伴う発光)可能な状態である点灯モードに推移する。一方、上記走査パルスSPが印加されたものの低電圧の画素データパルスが印加された放電セルには上述のような書込アドレス放電は生起されず、その直前までの状態(点灯モード又は消灯モード)が維持される。

【0097】

すなわち、アドレス行程W3では、PDP100の第(4N-1)番目の表示ラインに属する放電セルのみを対象にして、画素データに応じて選択的に書込アドレス放電を生起せしめることにより、第(4N-1)番目の表示ラインに属する放電セル各々を点灯モード又は消灯モードのいずれか一方の状態に設定するのである。

【0098】

又、図23に示すサブフィールドSF4₄、SF3₄、SF2₄及びSF1₄各々のアドレス行程W4では、行電極Y駆動回路70が負極性の走査パルスSPをPDP100の第(4N)番目の表示ラインに属する行電極Y、つまり行電極Y₄、Y₈、Y₁₂、…、Y_nに順次印加して行く。この間、列電極駆動回路50は、メモリ40から読み出された画素駆動データビットDB1～DB(m)に対応した1表示ライン分のm個の画素データパルスを発生し、これらm個の画素データパルスからなる画素データパルス群DPを上記走査パルスSPのタイミングに同期して列電極D₁～D_m各々に印加する。ここで、上記走査パルスSPが印加された表

示ラインと、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ書込アドレス放電が生起される。かかる書込アドレス放電により、放電セル内に壁電荷が形成され、この放電セルは、サステイン行程 I において発光(サステイン放電に伴う発光)可能な状態である点灯モードに推移する。一方、上記走査パルス S P が印加されたものの低電圧の画素データパルスが印加された放電セルには上述のような書込アドレス放電は生起されず、その直前までの状態(点灯モード又は消灯モード)が維持される。

【 0 0 9 9 】

すなわち、アドレス行程 W 4 では、P D P 1 0 0 の第(4 N) 番目の表示ラインに属する放電セルのみを対象にして、画素データに応じて選択的に書込アドレス放電を生起せしめることにより、第(4 N) 番目の表示ラインに属する放電セル各々を点灯モード又は消灯モードのいずれか一方の状態に設定するのである。

そして、上記アドレス行程 W 1 ~ W 4 各々の直後に実施されるサステイン行程 I では、行電極 X 駆動回路 8 0 及び行電極 Y 駆動回路 7 0 各々が、P D P 1 0 0 の行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に対して交互に正極性のサステインパルス $I P_X$ 及び $I P_Y$ を所定回数だけ繰り返し印加する。この際、壁電荷が残留したままとなっている放電セル、すなわち点灯モードに設定されている放電セルのみが上記サステインパルス $I P_X$ 及び $I P_Y$ が印加される度にサステイン放電し、このサステイン放電に伴う発光状態を期間「4」(S F 4₄のサステイン行程 I では期間「6」)に亘り継続する。

【 0 1 0 0 】

尚、図 2 3 に示す如き発光駆動シーケンスを採用した場合、上記駆動データ変換回路 3 0 は、上記多階調化画素データ M D を図 2 4 に示す如きデータ変換テーブルに従って 4 ビットの画素駆動データ G D に変換する。

かかる画素駆動データ G D によれば、図 2 4 に示すように、サブフィールド S F 4₁ ~ S F 4₄、S F 3₁ ~ S F 3₄、S F 2₁ ~ S F 2₄、S F 1₁ ~ S F 1₄ 各々の内の 1 のサブフィールドのアドレス行程 W のみで書込アドレス放電(二重丸にて示す)が生起される。この際、1 フィールド内において放電セルを点灯モードから消灯モードに推移させることが可能な機会は、1 フィールドの先頭のリセッ

ト行程 R と最後尾の消去行程 E だけである。従って、図 2 4 中の二重丸にて示す如きサブフィールド S F にて書込アドレス放電が生起されてから、最後尾の S F 1_4 で消去行程 E が実行されるまでの間に存在する各サブフィールドのサステイン行程 I にて連続してサステイン放電発光(白丸に示す)が為される。この際、前述した如き選択消去アドレス法に基づく駆動と同様に、サステイン放電発光による 1 フィールド期間内での総発光期間に対応した中間輝度が視覚される。

【 0 1 0 1 】

ここで、上述した如き選択書込アドレス法を適用した駆動においても、P D P 1 0 0 の画面上下方向において互いに隣接する 4 つの表示ライン各々に属する放電セル、つまり、

第(4 N - 3) 番目の表示ラインに属する放電セル、

第(4 N - 2) 番目の表示ラインに属する放電セル、

第(4 N - 1) 番目の表示ラインに属する放電セル、

第(4 N) 番目の表示ラインの各々に属する放電セル、

各々毎に、画素駆動データ G D に基づく駆動による 1 フィールド期間内での総発光期間が互いに異なる。

【 0 1 0 2 】

例えば、図 2 4 に示される [0 1 0 0] なる画素駆動データ G D によれば、第(4 N - 3) 番目の表示ラインに属する放電セルは、白丸に示すように、サブフィールド S F $3_1 \sim S F 3_4$ 、S F $2_1 \sim S F 2_4$ 、S F $1_1 \sim S F 1_4$ 各々のサステイン行程 I にてサステイン放電発光する。一方、第(4 N - 2) 番目の表示ラインに属する放電セルでは、サブフィールド S F $3_2 \sim S F 3_4$ 、S F $2_1 \sim S F 2_4$ 、S F $1_1 \sim S F 1_4$ 各々のサステイン行程 I にてサステイン放電発光する。又、第(4 N - 1) 番目の表示ラインに属する放電セルでは、サブフィールド S F 3_3 及び S F 3_4 、S F $2_1 \sim S F 2_4$ 、S F $1_1 \sim S F 1_4$ 各々のサステイン行程 I にてサステイン放電発光する。そして、第(4 N) 番目の表示ラインに属する放電セルでは、サブフィールド S F 3_4 、S F $2_1 \sim S F 2_4$ 、S F $1_1 \sim S F 1_4$ 各々のサステイン行程 I にてサステイン放電発光する。

【 0 1 0 3 】

よって、図 2 3 の如くサブフィールド $SF 1_4$ のサステイン行程 I 内での発光期間が「6」、その他のサブフィールド各々のサステイン行程 I 内での発光期間が「4」とあると、[0 1 0 0] なる画素駆動データ GD に応じて生起されるサステイン放電発光による 1 フィールド期間内での総発光期間は、

第(4 N - 3) 番目の表示ラインに属する放電セル：「5 0」

第(4 N - 2) 番目の表示ラインに属する放電セル：「4 6」

第(4 N - 1) 番目の表示ラインに属する放電セル：「4 2」

第(4 N) 番目の表示ラインに属する放電セル：「3 8」

となる。

[0 1 0 4]

この際、かかる駆動によっても、互いに画面上下方向に隣接する 4 つの放電セル各々の平均輝度レベルが等しくなるように、ディザ加算画素データにラインオフセットデータ LD を加算する。

例えば、PDP 1 0 0 の画面上下方向において互いに隣接する放電セル $G_{(1,1)}$ 、 $G_{(2,1)}$ 、 $G_{(3,1)}$ 、 $G_{(4,1)}$ 、並びにこれら 4 つの放電セル各々の右側に隣接する放電セル $G_{(1,2)}$ 、 $G_{(2,2)}$ 、 $G_{(3,2)}$ 、 $G_{(4,2)}$ 各々に対応した画素データ PD の各々が、図 2 5 に示す如く共に「3 2」(1 0 進数表現)を表す 6 ビットデータであるとする。先ず、この「3 2」を表す画素データ PD の各々は、図 1 4 に示す如き変換特性を有する第 1 データ変換回路 1 1 によって「8」を表す 5 ビットの第 1 変換画素データ PD 1 に変換される。次に、放電セル $G_{(1,1)}$ 、 $G_{(2,1)}$ 、 $G_{(3,1)}$ 、 $G_{(4,1)}$ 、 $G_{(1,2)}$ 、 $G_{(2,2)}$ 、 $G_{(3,2)}$ 、 $G_{(4,2)}$ 各々に対応した上記第 1 変換画素データ PD 1 の各々に、図 1 9 に示す如く、「0」又は「2」なるディザ係数、及び「0」、「1」、「2」、「3」なるラインオフセットデータ LD を夫々加算すると、

「8」を表す [0 1 0 0 0] なるディザ加算画素データ、

「1 1」を表す [0 1 0 1 1] なるディザ加算画素データ、

「1 0」を表す [0 1 0 1 0] なるディザ加算画素データ、

「1 3」を表す [0 1 1 0 1] なるディザ加算画素データ、

「1 0」を表す [0 1 0 1 0] なるディザ加算画素データ、

「9」を表す[0 1 0 0 1]なるディザ加算画素データ、
 「1 2」を表す[0 1 1 0 0]なるディザ加算画素データ、
 「1 1」を表す[0 1 0 1 1]なるディザ加算画素データ、
 が夫々得られる。

【0 1 0 5】

ここで、上記ディザ加算画素データ各々の下位2ビット分を切り捨てて上位3ビット分を抽出すると、図25に示す如く、放電セル $G_{(1,1)}$ 、 $G_{(2,1)}$ 、 $G_{(3,1)}$ 、 $G_{(4,1)}$ 、 $G_{(1,2)}$ 、 $G_{(2,2)}$ 、 $G_{(3,2)}$ 、 $G_{(4,2)}$ 各々に対応した、

「2」を表す[0 1 0]なる多階調化画素データ $MD_{(1,1)}$ 、

「2」を表す[0 1 0]なる多階調化画素データ $MD_{(2,1)}$ 、

「2」を表す[0 1 0]なる多階調化画素データ $MD_{(3,1)}$ 、

「3」を表す[0 1 1]なる多階調化画素データ $MD_{(4,1)}$ 、

「2」を表す[0 1 0]なる多階調化画素データ $MD_{(1,2)}$ 、

「2」を表す[0 1 0]なる多階調化画素データ $MD_{(2,2)}$ 、

「3」を表す[0 1 1]なる多階調化画素データ $MD_{(3,2)}$ 、

「2」を表す[0 1 0]なる多階調化画素データ $MD_{(4,2)}$ 、

が夫々得られる。

【0 1 0 6】

従って、[0 1 0]なる多階調化画素データ $MD_{(1,1)}$ によれば、第 $(4N-3)$ 番目の表示ラインに属する放電セル $G_{(1,1)}$ では、図24に示す如く「3 4」なる輝度を担う発光が生起される。又、[0 1 0]なる多階調化画素データ $MD_{(2,1)}$ によれば、第 $(4N-2)$ 番目の表示ラインに属する放電セル $G_{(2,1)}$ では、図24に示す如く「3 0」なる輝度を担う発光が生起される。又、[0 1 0]なる多階調化画素データ $MD_{(3,1)}$ によれば、第 $(4N-1)$ 番目の表示ラインに属する放電セル $G_{(3,1)}$ は、図24に示す如く「2 6」なる輝度を担う発光が生起される。又、[0 1 1]なる多階調化画素データ $MD_{(4,1)}$ によれば、第 $(4N)$ 番目の表示ラインに属する放電セル $G_{(4,1)}$ は、図24に示す如く「3 8」なる輝度を担う発光が生起される。又、[0 1 0]なる多階調化画素データ $MD_{(1,2)}$ によれば、第 $(4N-3)$ 番目の表示ラインに属する放電セル $G_{(1,2)}$ では、図24に示

す如く「34」なる輝度を担う発光が生起される。又、[010]なる多階調化画素データ $MD_{(2,2)}$ によれば、第 $(4N-2)$ 番目の表示ラインに属する放電セル $G_{(2,2)}$ では、図24に示す如く「30」なる輝度を担う発光が生起される。又、[011]なる多階調化画素データ $MD_{(3,2)}$ によれば、第 $(4N-1)$ 番目の表示ラインに属する放電セル $G_{(3,2)}$ は、図24に示す如く「42」なる輝度を担う発光が生起される。又、[010]なる多階調化画素データ $MD_{(4,2)}$ によれば、第 $(4N)$ 番目の表示ラインに属する放電セル $G_{(4,2)}$ は、図24に示す如く「22」なる輝度を担う発光が生起される。

【0107】

従って、輝度レベル「32」を表す画素データPDが供給されると、PDP100の画面内において互いに隣接する放電セル $G_{(1,1)}$ 、 $G_{(2,1)}$ 、 $G_{(3,1)}$ 、 $G_{(4,1)}$ 、 $G_{(1,2)}$ 、 $G_{(2,2)}$ 、 $G_{(3,2)}$ 、 $G_{(4,2)}$ 各々では、

$G_{(1,1)}$ ：輝度レベル「34」

$G_{(2,1)}$ ：輝度レベル「30」

$G_{(3,1)}$ ：輝度レベル「26」

$G_{(4,1)}$ ：輝度レベル「38」

$G_{(1,2)}$ ：輝度レベル「34」

$G_{(2,2)}$ ：輝度レベル「30」

$G_{(3,2)}$ ：輝度レベル「42」

$G_{(4,2)}$ ：輝度レベル「22」

を表現する発光が為されるのである。

【0108】

これら8つの放電セルGを1単位として眺めた場合、各輝度レベルの平均値である輝度レベル「32」が視覚される。つまり、入力映像信号（画素データPD）によって示される輝度が表現されるのである。

以上の如く、選択書込アドレス法を採用した場合においても、図21及び図22に示す如き17通り（輝度レベル0は図示せず）の中間輝度レベルを表現することが可能となる。この際、画面上下方向において互いに隣接する4つの放電セルG各々に対応した画素データにラインオフセットデータLDを加算すると共に

、2行×2列分の画素データ毎に図15に示す如きディザ係数を加算するようにしたので、より良好にディザパターンを抑制することができる。

【0109】

又、図13に示すプラズマディスプレイ装置においてPDP100を駆動するにあたり、図26に示す如き発光駆動シーケンスを採用しても良い。

図26に示す発光駆動シーケンスにおいては、1フィールドの表示期間をサブフィールド群SF1～サブフィールド群SF4に分割し、各サブフィールド毎に下記の如き各種駆動行程を実施する。尚、サブフィールド群SF1はサブフィールドSF1₁～SF1₄、サブフィールド群SF2はサブフィールドSF2₁～SF2₄、サブフィールド群SF3はサブフィールドSF3₁～SF3₄、サブフィールド群SF4はサブフィールドSF4₁～SF4₄からなる。この際、サブフィールド群SF1では前述した如き選択書込アドレス法に基づく駆動を行い、サブフィールド群SF2～SF4では、選択消去アドレス法に基づく駆動を行う。

【0110】

先ず、先頭のサブフィールドSF1₁では、PDP100の全ての放電セルを消灯モード（壁電荷が消去された状態）に初期化するリセット行程R、第(4N)番目の表示ラインに属する放電セルを画素駆動データに応じて選択的に書込アドレス放電せしめてこれを点灯モードに推移させるアドレス行程WA4と、点灯モードにある放電セルのみを期間「2」に亘り継続して放電発光せしめるサステイン行程Iと、を実行する。サブフィールドSF1₂では、第(4N-1)番目の表示ラインに属する放電セルを画素駆動データに応じて選択的に書込アドレス放電せしめてこれを点灯モードに推移させるアドレス行程WA3と、点灯モードにある放電セルのみを期間「2」に亘り継続して放電発光せしめるサステイン行程Iと、を実行する。サブフィールドSF1₃では、第(4N-2)番目の表示ラインに属する放電セルを画素駆動データに応じて選択的に書込アドレス放電せしめてこれを点灯モードに推移させるアドレス行程WA2と、点灯モードにある放電セルのみを期間「2」に亘り継続して放電発光せしめるサステイン行程Iと、を実行する。サブフィールドSF1₄では、第(4N-3)番目の表示ラインに属する放電セルを画素駆動データに応じて選択的に書込アドレス放電せしめてこれを

点灯モードに推移させるアドレス行程WA1と、点灯モードにある放電セルのみを期間「6」に亘り継続して放電発光せしめるサステイン行程Iと、を実行する。

【0111】

又、サブフィールドSF2₁、SF3₁及びSF4₁各々では、画素駆動データに応じて第(4N-3)番目の表示ラインに属する放電セル各々を選択的に消去アドレス放電せしめてこれを消灯モードに推移させるアドレス行程WB1と、点灯モードにある放電セルのみを期間「2」に亘り継続して放電発光せしめるサステイン行程Iとを実行する。サブフィールドSF2₂、SF3₂及びSF4₂各々では、画素駆動データに応じて第(4N-2)番目の表示ラインに属する放電セル各々を選択的に消去アドレス放電せしめてこれを消灯モードに推移させるアドレス行程WB2と、点灯モードにある放電セルのみを期間「2」に亘り継続して放電発光せしめるサステイン行程Iとを実行する。サブフィールドSF2₃、SF3₃及びSF4₃各々では、画素駆動データに応じて第(4N-1)番目の表示ラインに属する放電セル各々を選択的に消去アドレス放電せしめてこれを消灯モードに推移させるアドレス行程WB3と、点灯モードにある放電セルのみを期間「2」に亘り継続して放電発光せしめるサステイン行程Iとを実行する。サブフィールドSF2₄、SF3₄及びSF4₄各々では、画素駆動データに応じて第(4N)番目の表示ラインに属する放電セル各々を選択的に消去アドレス放電せしめてこれを消灯モードに推移させるアドレス行程WB4と、点灯モードにある放電セルのみを期間「10」に亘り継続して放電発光せしめるサステイン行程Iとを実行する。

【0112】

図26に示す如き発光駆動シーケンスを採用した場合、上記駆動データ変換回路30は、上記多階調化画素データMDを図27に示す如きデータ変換テーブルに従って4ビットの画素駆動データGDに変換する。かかる画素駆動データGDに応じて、1フィールド表示期間内において図27に示す如き発光駆動が為される。

【0113】

図 27 に示す駆動では、1 フィールド内の 1 のサブフィールドにて書込アドレス放電が生起され（二重丸にて示す）、それ以降、消去アドレス放電が生起される（黒丸にて示す）までの間に存在するサブフィールド SF のサステイン行程 I においてサステイン放電発光（白丸に示す）が為される。この際、最低輝度を表す [000000] なる画素駆動データ GD によれば、放電セルを点灯モード状態に設定させる書込アドレス放電が 1 フィールド表示期間を通して一切為されない。よって、1 フィールド表示期間を通して放電セルのサステイン放電発光が一切為されないので輝度「0」が表現される。又、[0000] よりも高輝度を表す [1100]、[1010]、[1001]、又は [1000] なる画素駆動データ GD によれば、

第(4N-3) 番目の表示ラインに属する放電セルはサブフィールド SF 1₄

第(4N-2) 番目の表示ラインに属する放電セルはサブフィールド SF 1₃

第(4N-1) 番目の表示ラインに属する放電セルはサブフィールド SF 1₂

第(4N) 番目の表示ラインに属する放電セルはサブフィールド SF 1₁、

の各アドレス行程 WA のみで書込アドレス放電（二重丸にて示す）が生起され、点灯モードに設定される。そして、サブフィールド SF 2₁ 以降の 1 のサブフィールドのアドレス行程 WB において消去アドレス放電（黒丸にて示す）が生起されるまでの間に存在するサステイン行程 I においてサステイン放電発光（白丸に示す）が為される。

[0114]

よって、[1100] なる画素駆動データ GD によれば、

第(4N-3) 番目の表示ラインに属する放電セルは輝度レベル「6」、

第(4N-2) 番目の表示ラインに属する放電セルは輝度レベル「10」、

第(4N-1) 番目の表示ラインに属する放電セルは輝度レベル「14」、

第(4N) 番目の表示ラインに属する放電セルは輝度レベル「18」、

を表す発光が為される。

【0115】

又、[1010]なる画素駆動データGDによれば、

第(4N-3)番目の表示ラインに属する放電セルは輝度レベル「22」、
第(4N-2)番目の表示ラインに属する放電セルは輝度レベル「26」、
第(4N-1)番目の表示ラインに属する放電セルは輝度レベル「30」、
第(4N)番目の表示ラインに属する放電セルは輝度レベル「34」、
を表す発光が為される。

【0116】

又、[1001]なる画素駆動データGDによれば、

第(4N-3)番目の表示ラインに属する放電セルは輝度レベル「38」、
第(4N-2)番目の表示ラインに属する放電セルは輝度レベル「42」、
第(4N-1)番目の表示ラインに属する放電セルは輝度レベル「46」、
第(4N)番目の表示ラインに属する放電セルは輝度レベル「50」、
を表す発光が為される。

【0117】

そして、[1000]なる画素駆動データGDによれば、

第(4N-3)番目の表示ラインに属する放電セルは輝度レベル「54」、
第(4N-2)番目の表示ラインに属する放電セルは輝度レベル「56」、
第(4N-1)番目の表示ラインに属する放電セルは輝度レベル「58」、
第(4N)番目の表示ラインに属する放電セルは輝度レベル「60」、
を表す発光が為される。

【0118】

以上の如く、図26及び図27に示す如き駆動によっても、PDP100の第(4N-3)番目の表示ライン、第(4N-2)番目の表示ライン、第(4N-1)番目の表示ライン、及び第(4N)番目の表示ライン毎に、互いに異なる4つの輝度レベルを表現すべき発光駆動が為される。そして、画面上下方向において互いに隣接する4つの放電セルGを1単位として眺めた場合には、この1単位内で各放電セルG毎に表現される輝度レベルの平均値に応じた図21及び図22に示す如き17通りの中間輝度レベルが表現される。この際、画面上下方向におい

て互いに隣接する4つの放電セルG各々に対応した画素データにラインオフセットデータLDを加算すると共に、2行×2列分の画素データ毎に図15に示す如きディザ係数を加算するようにしたので、より良好にディザパターンを抑制することができる。

【0119】

又、上記実施例では、PDP100の画面上下方向にて互いに隣接する4つの表示ライン各々において表現すべき輝度レベルを互いに異ならせるべき駆動を実施しているが、8つの表示ライン各々において表現すべき輝度レベルを互いに異ならせる駆動を実施するようにしても良い。

図28は、このような駆動を実施するプラズマディスプレイ装置の構成を示す図である。

【0120】

図28において、プラズマディスプレイパネルとしてのPDP100は、表示面を担う前面基板(図示せぬ)と、放電ガスの封入された放電空間を挟んで前面基板と対向した位置に配置されている背面基板(図示せぬ)とを備える。前面基板上には、互いに交互にかつ平行に配置されている帯状の行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ が形成されている。背面基板上には、上記行電極各々に交叉して配置されている帯状の列電極 $D_1 \sim D_m$ が形成されている。尚、行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ は、一対の行電極X及びYにてPDP10の第1表示ライン～第n表示ラインを担う構造となっており、各行電極対と列電極との交叉部(放電空間を含む)に画素を担う放電セルGが形成されている。すなわち、PDP100には、 $(n \times m)$ 個の放電セル $G_{(1,1)} \sim G_{(n,m)}$ がマトリクス状に形成されているのである。

【0121】

画素データ変換回路12は、入力映像信号を各画素毎の例えば8ビットの画素データPDに変換してこれを第1データ変換回路13に供給する。第1データ変換回路13は、8ビットの画素データPDを図29に示す如き変換特性に従って9ビットの第1変換画素データPD1に変換し、これを多階調化処理回路25に供給する。

【0122】

多階調化処理回路25は、誤差拡散処理回路201、加算器202、下位ビット切り捨て回路203、ラインオフセットデータ生成回路211、及びディザマトリクス回路220から構成される。

誤差拡散処理回路201は、第1変換画素データPD1の上位7ビット分を表示データ、残りの下位2ビット分を誤差データと捉える。そして、周辺画素各々に対応した上記第1変換画素データPD1の各誤差データを重み付け加算したものを、上記表示データに反映させる。かかる動作により、原画素における下位2ビット分の輝度が上記周辺画素によって擬似的に表現され、それ故に9ビットよりも少ない7ビット分の表示データにて、上記9ビット分の第1変換画素データPD1と同等の輝度階調表現が可能になる。誤差拡散処理回路201は、上述した如き誤差拡散処理によって得られた7ビットの誤差拡散処理画素データを加算器202に供給する。

【0123】

ラインオフセットデータ生成回路211は、図30に示す如く、PDP100の第 $(8N-7)$ 番目の表示ライン $[N:(1/8) \cdot n]$ 以下の自然数]に対応した誤差拡散処理画素データが誤差拡散処理回路201から出力された場合には「0」を表すラインオフセットデータLDを生成してこれを加算器202に供給する。又、ラインオフセットデータ生成回路211は、第 $(8N-6)$ 番目の表示ラインに対応した誤差拡散処理画素データが誤差拡散処理回路201から出力された場合には「4」を表すラインオフセットデータLDを加算器202に供給する。又、ラインオフセットデータ生成回路211は、第 $(8N-5)$ 番目の表示ラインに対応した誤差拡散処理画素データが誤差拡散処理回路201から出力された場合には「8」を表すラインオフセットデータLDを加算器202に供給する。又、ラインオフセットデータ生成回路211は、第 $(8N-4)$ 番目の表示ラインに対応した誤差拡散処理画素データが誤差拡散処理回路201から出力された場合には「12」を表すラインオフセットデータLDを加算器202に供給する。又、ラインオフセットデータ生成回路211は、第 $(8N-3)$ 番目の表示ラインに対応した誤差拡散処理画素データが誤差拡散処理回路201から出力され

た場合には「16」を表すラインオフセットデータLDを加算器202に供給する。又、ラインオフセットデータ生成回路211は、第 $(8N-2)$ 番目の表示ラインに対応した誤差拡散処理画素データが誤差拡散処理回路201から出力された場合には「20」を表すラインオフセットデータLDを加算器202に供給する。又、ラインオフセットデータ生成回路211は、第 $(8N-1)$ 番目の表示ラインに対応した誤差拡散処理画素データが誤差拡散処理回路201から出力された場合には「24」を表すラインオフセットデータLDを加算器202に供給する。又、ラインオフセットデータ生成回路211は、第 $(8N)$ 番目の表示ラインに対応した誤差拡散処理画素データが誤差拡散処理回路201から出力された場合には「28」を表すラインオフセットデータLDを加算器202に供給する。

【0124】

ディザマトリクス回路220は、互いに画面の上下左右方向に隣接する4つの画素からなる画素群毎に、その画素群内の各画素に対応させて図15に示す如き「0」又は「2」（10進数表現）なるディザ係数を発生し、これを加算器200に供給する。尚、ディザマトリクス回路220は、各画素群内の画素各々に対するディザ係数の割り当てを図15に示す如くフィールド毎に変更する。

【0125】

加算器202は、上記誤差拡散処理回路201から供給された第1変換画素データPD1に上記ディザ係数を加算してディザ加算画素データを求める。更に、加算器202は、かかるディザ加算画素データに上記ラインオフセットデータLDを加算したものを下位ビット切り捨て回路203に供給する。

下位ビット切り捨て回路203は、ラインオフセットデータLDが加算されたディザ加算画素データの下位3ビット分を切り捨て、残りの上位4ビット分を多階調化画素データMDとして駆動データ変換回路31に供給する。

【0126】

駆動データ変換回路31は、4ビットの多階調化画素データMDを13ビットの画素駆動データGDに変換してこれをメモリ41に供給する。

尚、この13ビットの画素駆動データGDは、13ビットの内の1つのビットの

みが論理レベル1となり、他のビットは全て論理レベル0となる。この際、上記多階調化画素データMDによって表される輝度レベルに応じたビット桁が論理レベル1となる。

【0127】

メモリ41は、13ビットの画素駆動データGDを順次取り込んで記憶する。そして、1画像フレーム(n行×m列)分の画素駆動データGD_{1,1}～GD_{n,m}の書き込みが終了する度に、メモリ41は、画素駆動データGD_{1,1}～GD_{n,m}各々を各ビット桁(第1～第13ビット)毎に分離し、夫々、図31に示す如きサブフィールドSF0、SF1、サブフィールド群SF2～SF11に対応させて1表示ライン分ずつ読み出す。メモリ41は、読み出した1表示ライン分(m個)の画素駆動データビットを画素駆動データビットDB1～DB(m)として列電極駆動回路51に供給する。すなわち、先ず、サブフィールドSF0において、メモリ41は、画素駆動データGD_{1,1}～GD_{n,m}各々の第1ビットのみを1表示ライン分ずつ読み出し、これらを画素駆動データビットDB1～DB(m)として列電極駆動回路51に供給する。次に、サブフィールドSF1において、メモリ41は、画素駆動データGD_{1,1}～GD_{n,m}各々の第2ビットのみを1表示ライン分ずつ読み出し、これらを画素駆動データビットDB1～DB(m)として列電極駆動回路51に供給する。次に、サブフィールド群SF2において、メモリ41は、画素駆動データGD_{1,1}～GD_{n,m}各々の第3ビットのみを1表示ライン分ずつ読み出し、これらを画素駆動データビットDB1～DB(m)として列電極駆動回路51に供給する。以下、同様にしてメモリ41は、画素駆動データGD_{1,1}～GD_{n,m}各々の第4ビット～第12ビットの各々をサブフィールド群SF3～SF11に夫々対応させて1表示ライン分ずつ読み出し、これらを画素駆動データビットDB1～DB(m)として列電極駆動回路51に供給するのである。

【0128】

駆動制御回路61は、図31に示されるが如き発光駆動シーケンスに従って上記PDP100を階調駆動させるべき各種タイミング信号を、列電極駆動回路51、行電極Y駆動回路71及び行電極X駆動回路81の各々に供給する。

図31に示す発光駆動シーケンスにおいては、1フィールドの表示期間をサブ

フィールドSF0、SF1及びサブフィールド群SF2～SF11に分割し、各サブフィールド毎に下記の如き各種駆動行程を実施する。

【0129】

先ず、図31に示すサブフィールドSF0では、PDP100の全ての放電セルを点灯モードに初期化するリセット行程R、上記画素駆動データに応じて選択的に各放電セルを消灯モードに推移せしめるアドレス行程W0及び点灯モードにある放電セルのみを期間「3」に亘り継続して放電発光せしめるサステイン行程Iを実行する。

【0130】

サブフィールドSF1では、画素駆動データに応じて選択的に各放電セルを消灯モードに推移せしめるアドレス行程W0と、点灯モードにある放電セルのみを期間「3」に亘り継続して放電発光せしめるサステイン行程Iを実行する。

サブフィールドSF2₁では、アドレス行程W8～W5各々、及び点灯モードにある放電セルのみを期間「3」に亘り継続して放電発光せしめるサステイン行程Iとを順次実行する。アドレス行程W8では、PDP100の第(8N)番目の表示ライン[N : (1/8)・n以下の自然数]に属する放電セル各々を選択的に消灯モードに推移せしめる。又、アドレス行程W7では、第(8N-1)番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめる。又、アドレス行程W6では、第(8N-2)番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめる。又、アドレス行程W5では、第(8N-3)番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめる。

【0131】

サブフィールドSF2₂では、アドレス行程W4～W1各々、及び点灯モードにある放電セルのみを期間「3」に亘り継続して放電発光せしめるサステイン行程Iを順次実行する。アドレス行程W4では、PDP100の第(8N-4)番目の表示ライン[N : 1～(1/8)・n]に属する放電セル各々を選択的に消灯モードに推移せしめる。又、アドレス行程W3では、第(8N-5)番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめる。又、アドレス行程W2では、第(8N-6)番目の表示ラインに属する放電セル各々を選択的に消

灯モードに推移せしめる。又、アドレス行程W1では、第(8N-7)番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめる。

【0132】

サブフィールドSF3₁では、第(8N)番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめるアドレス行程W8と、第(8N-1)番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめるアドレス行程W7と、点灯モードにある放電セルのみを期間「3」に亘り継続して放電発光せしめるサステイン行程Iとを順次実行する。

【0133】

サブフィールドSF3₂では、第(8N-2)番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめるアドレス行程W6と、第(8N-3)番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめるアドレス行程W5と、点灯モードにある放電セルのみを期間「3」に亘り継続して放電発光せしめるサステイン行程Iとを順次実行する。

【0134】

サブフィールドSF3₃では、第(8N-4)番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめるアドレス行程W4及び第(8N-5)番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめるアドレス行程W3と、点灯モードにある放電セルのみを期間「3」に亘り継続して放電発光せしめるサステイン行程Iを順次実行する。

【0135】

サブフィールドSF3₄では、第(8N-6)番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめるアドレス行程W2及び第(8N-7)番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめるアドレス行程W1と、点灯モードにある放電セルのみを期間「3」に亘り継続して放電発光せしめるサステイン行程Iを順次実行する。

【0136】

サブフィールドSF4₁、SF5₁、SF6₁、SF7₁、SF8₁、SF9₁、SF10₁、SF11₁各々では、第(8N)番目の表示ラインに属する放電セル各

々を選択的に消灯モードに推移せしめるアドレス行程W8と、サステイン行程Iとを実行する。サブフィールドSF4₂、SF5₂、SF6₂、SF7₂、SF8₂、SF9₂、SF10₂、SF11₂各々では、第(8N-1)番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめるアドレス行程W7と、サステイン行程Iとを実行する。サブフィールドSF4₃、SF5₃、SF6₃、SF7₃、SF8₃、SF9₃、SF10₃、SF11₃各々では、第(8N-2)番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめるアドレス行程W6と、サステイン行程Iとを実行する。サブフィールドSF4₄、SF5₄、SF6₄、SF7₄、SF8₄、SF9₄、SF10₄、SF11₄各々では、第(8N-3)番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめるアドレス行程W5と、サステイン行程Iとを実行する。サブフィールドSF4₅、SF5₅、SF6₅、SF7₅、SF8₅、SF9₅、SF10₅、SF11₅各々では、第(8N-4)番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめるアドレス行程W4と、サステイン行程Iとを実行する。サブフィールドSF4₆、SF5₆、SF6₆、SF7₆、SF8₆、SF9₆、SF10₆、SF11₆各々では、第(8N-5)番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめるアドレス行程W3と、サステイン行程Iとを実行する。サブフィールドSF4₇、SF5₇、SF6₇、SF7₇、SF8₇、SF9₇、SF10₇、SF11₇各々では、第(8N-6)番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめるアドレス行程W2と、サステイン行程Iとを実行する。サブフィールドSF4₈、SF5₈、SF6₈、SF7₈、SF8₈、SF9₈、SF10₈、SF11₈各々では、第(8N-7)番目の表示ラインに属する放電セル各々を選択的に消灯モードに推移せしめるアドレス行程W1と、サステイン行程Iとを実行する。

【0137】

尚、サブフィールド群SF4₁～SF4₇の各サステイン行程Iでは期間「3」、サブフィールド群SF4₈～SF5₇の各サステイン行程Iでは期間「4」に亘り点灯モードにある放電セルのみを継続して放電発光せしめる。又、サブフィールド群SF5₈～SF6₇の各サステイン行程Iでは期間「5」、サブフィールド

群SF6₈～SF7₇の各サステイン行程Iでは期間「7」に亘り点灯モードにある放電セルのみを継続して放電発光せしめる。又、サブフィールド群SF7₈～SF8₇の各サステイン行程Iでは期間「10」、サブフィールド群SF8₈～SF9₇の各サステイン行程Iでは期間「12」に亘り点灯モードにある放電セルのみを継続して放電発光せしめる。又、サブフィールド群SF9₈～SF10₇の各サステイン行程Iでは期間「15」、サブフィールド群SF10₈～SF11₇内の各サステイン行程Iでは期間「19」に亘り点灯モードにある放電セルのみを継続して放電発光せしめる。

【0138】

そして、最後尾のサブフィールドSF11₈では、点灯モードにある放電セルのみを期間「178」に亘り継続して放電発光せしめるサステイン行程Iのみを実行する。

すなわち、サブフィールドSF0、SF1及びサブフィールド群SF1～SF11各々に割り当てられている発光期間の比は、

[3:3:6:12:25:33:42:59:82:99:124:311]

の如く非線形特性となっている。

【0139】

かかる駆動により、例えばサブフィールドSF4₁のアドレス行程W8のみで放電セルが消灯モードに設定されると、第(8N)番目の表示ラインに属する放電セル各々はサブフィールドSF0、SF1、SF2₁、SF2₂、SF3₁～SF3₄各々のサステイン行程Iにてサステイン放電発光する。これにより、第(8N)番目の表示ラインに属する放電セル各々は、輝度レベル「24」を担う発光を行うことになる。又、サブフィールドSF4₂のアドレス行程W7のみで放電セルが消灯モードに設定されると、第(8N-1)番目の表示ラインに属する放電セル各々はサブフィールドSF0、SF1、SF2₁、SF2₂、SF3₁～SF3₄及びSF4₁各々のサステイン行程Iにてサステイン放電発光する。これにより、第(8N-1)番目の表示ラインに属する放電セル各々は、輝度レベル「27」を担う発光を行うことになる。

【0140】

又、サブフィールドSF4₃のアドレス行程W6のみで放電セルが消灯モードに設定されると、第(8N-2)番目の表示ラインに属する放電セル各々はサブフィールドSF0、SF1、SF2₁、SF2₂、SF3₁~SF3₄、SF4₁~SF4₂各々のサステイン行程Iにてサステイン放電発光する。これにより、第(8N-2)番目の表示ラインに属する放電セル各々は、輝度レベル「30」を担う発光を行うことになる。

【0141】

又、サブフィールドSF4₄のアドレス行程W5のみで放電セルが消灯モードに設定されると、第(8N-3)番目の表示ラインに属する放電セル各々はサブフィールドSF0、SF1、SF2₁、SF2₂、SF3₁~SF3₄、SF4₁~SF4₃各々のサステイン行程Iにてサステイン放電発光する。これにより、第(8N-3)番目の表示ラインに属する放電セル各々は、輝度レベル「33」を担う発光を行うことになる。

【0142】

又、サブフィールドSF4₅のアドレス行程W4のみで放電セルが消灯モードに設定されると、第(8N-4)番目の表示ラインに属する放電セル各々はサブフィールドSF0、SF1、SF2₁、SF2₂、SF3₁~SF3₄、SF4₁~SF4₄各々のサステイン行程Iにてサステイン放電発光する。これにより、第(8N-4)番目の表示ラインに属する放電セル各々は、輝度レベル「36」を担う発光を行うことになる。

【0143】

又、サブフィールドSF4₆のアドレス行程W3のみで放電セルが消灯モードに設定されると、第(8N-5)番目の表示ラインに属する放電セル各々はサブフィールドSF0、SF1、SF2₁、SF2₂、SF3₁~SF3₄、SF4₁~SF4₅各々のサステイン行程Iにてサステイン放電発光する。これにより、第(8N-5)番目の表示ラインに属する放電セル各々は、輝度レベル「39」を担う発光を行うことになる。

【0144】

又、サブフィールドSF4₇のアドレス行程W2のみで放電セルが消灯モード

に設定されると、第 $(8N-6)$ 番目の表示ラインに属する放電セル各々はサブフィールド $SF0$ 、 $SF1$ 、 $SF2_1$ 、 $SF2_2$ 、 $SF3_1 \sim SF3_4$ 、 $SF4_1 \sim SF4_6$ 各々のサステイン行程 I にてサステイン放電発光する。これにより、第 $(8N-6)$ 番目の表示ラインに属する放電セル各々は、輝度レベル「42」を担う発光を行うことになる。

【0145】

又、サブフィールド $SF4_8$ のアドレス行程 $W1$ のみで放電セルが消灯モードに設定されると、第 $(8N-7)$ 番目の表示ラインに属する放電セル各々はサブフィールド $SF0$ 、 $SF1$ 、 $SF2_1$ 、 $SF2_2$ 、 $SF3_1 \sim SF3_4$ 、 $SF4_1 \sim SF4_7$ 各々のサステイン行程 I にてサステイン放電発光する。これにより、第 $(8N-7)$ 番目の表示ラインに属する放電セル各々は、輝度レベル「45」を担う発光を行うことになる。

【0146】

このように、図31に示す発光駆動シーケンスによれば、互いに隣接する8つの表示ライン各々において、表現すべき輝度レベルを互いに異ならせた駆動が為されるのである。

要するに、先ず、PDP100の

第 $[M \cdot (k-1) + 1]$ 番目の表示ラインからなる表示ライン群、

第 $[M \cdot (k-1) + 2]$ 番目の表示ラインからなる表示ライン群、

第 $[M \cdot (k-1) + 3]$ 番目の表示ラインからなる表示ライン群、

・
・
・

第 $[M \cdot (k-1) + M]$ 番目の表示ラインからなる表示ライン群、

(M は自然数、 k は n/M 以下の自然数)

なる表示ライン群の各々に対応した画素データに夫々異なるラインオフセット値を加算して多階調化画素データを得る。そして、1フィールドを構成する複数のサブフィールド各々の内の M 個のサブフィールド各々に M 個の上記表示ライン群を夫々対応させ、各表示ライン群に対する発光駆動を順次実行することにより

、互いに隣接するM個の表示ラインの各々において表現すべき輝度レベルを互いに異ならせれば良いのである。

【0147】

尚、図31は選択消去アドレス法に基づく発光駆動シーケンスを示すものであるが、図31に代わり図32に示す発光駆動シーケンスを採用して選択書込アドレス法に適用させるようにしても良い。尚、図32において、SF12のアドレス行程W0とサステイン行程Iを各々SF11₁～SF11₈のように分割するようにしても良い。

【図面の簡単な説明】

【図1】

サブフィールド法に基づく発光駆動シーケンスの一例を示す図である。

【図2】

図1に示される発光駆動シーケンスに基づいて駆動される各放電セルの1フィールド期間内での発光駆動パターンの一例を示す図である。

【図3】

本発明による表示装置としてのプラズマディスプレイ装置の構成を示す図である。

【図4】

図3に示される駆動データ変換回路3におけるデータ変換テーブルと、1フィールド期間内での発光駆動パターンを示す図である。

【図5】

選択消去アドレス法を採用してPDP100を駆動する際の発光駆動シーケンスの一例を示す図である。

【図6】

図5に示す発光駆動シーケンスに従ってサブフィールドSF0及びSF1₁～SF1₄各々でPDP100に印加される各種駆動パルスとその印加タイミングを示す図である。

【図7】

互いに隣接する4つの放電セル各々に対応した画素データPDが全て輝度レベ

ル「9」を表す場合に、図3に示されるプラズマディスプレイ装置を選択消去アドレス法を採用して駆動する際の動作を示す図である。

【図8】

画面上下方向において互いに隣接している4つの放電セル各々で表現される4階調分の輝度レベルを模式的に表す図である。

【図9】

画面上下方向において互いに隣接している4つの放電セル各々による発光輝度パターンと、各発光輝度パターン毎に表現される輝度レベルとを模式的に表す図である。

【図10】

画面上下方向において互いに隣接している4つの放電セル各々による発光輝度パターンと、各発光輝度パターン毎に表現される輝度レベルとを模式的に表す図である。

【図11】

1フィールド毎にラインオフセットデータLD及び発光駆動シーケンスを変更してPDP100を駆動する際のラインオフセットデータLD及び発光駆動シーケンスの一例を示す図である。

【図12】

図11に示す駆動を実施した際に、画面上下方向において互いに隣接している4つの放電セル各々で表現される4階調分の輝度レベルを模式的に各フィールド毎に表す図である。

【図13】

本発明による他の実施例による表示装置としてのプラズマディスプレイ装置の構成を示す図である。

【図14】

図13に示す第1データ変換回路11におけるデータ変換特性を示す図である。

【図15】

図13に示すディザマトリクス回路220が発生するディザ係数の一例を示す

図である。

【図 1 6】

図 1 3 に示される駆動データ変換回路 3 0 におけるデータ変換テーブルと、1 フィールド期間内での発光駆動パターンを示す図である。

【図 1 7】

選択消去アドレス法を採用して P D P 1 0 0 を駆動する際の発光駆動シーケンスの一例を示す図である。

【図 1 8】

図 1 7 に示す発光駆動シーケンスに従ってサブフィールド S F 0 及び S F 1₁ ~ S F 1₄ 各々で P D P 1 0 0 に印加される各種駆動パルスとその印加タイミングを示す図である。

【図 1 9】

互いに隣接する 8 つの放電セルの各々に対応した画素データ P D が全て輝度レベル「3 2」を表す場合に、図 1 3 に示されるプラズマディスプレイ装置を選択消去アドレス法を採用して駆動する際の動作を示す図である。

【図 2 0】

図 1 3 に示されるプラズマディスプレイ装置において、画面上下方向に互いに隣接している 4 つの放電セル各々で表現される 4 階調分の輝度レベルを模式的に表す図である。

【図 2 1】

図 1 3 に示されるプラズマディスプレイ装置における 4 つの放電セル各々による発光輝度パターンと、各発光輝度パターン毎に表現される輝度レベルとを模式的に表す図である。

【図 2 2】

図 1 3 に示されるプラズマディスプレイ装置における 4 つの放電セル各々による発光輝度パターンと、各発光輝度パターン毎に表現される輝度レベルとを模式的に表す図である。

【図 2 3】

選択書込アドレス法を採用して P D P 1 0 0 を駆動する際の発光駆動シーケ

スの一例を示す図である。

【図 2 4】

選択書込アドレス法を採用した場合に図 1 3 に示される駆動データ変換回路 3 0 において用いられるデータ変換テーブルと、1 フィールド期間内での発光駆動パターンを示す図である。

【図 2 5】

互いに隣接する 8 つの放電セルの各々に対応した画素データ P D が全て輝度レベル「3 2」を表す場合に、図 1 3 に示されるプラズマディスプレイ装置を選択書込アドレス法を採用して駆動する際の動作を示す図である。

【図 2 6】

選択書込アドレス法及び選択消去アドレス法を組み合わせる P D P 1 0 0 を駆動する際の発光駆動シーケンスの一例を示す図である。

【図 2 7】

図 2 6 に示す発光駆動シーケンスに従って P D P 1 0 0 を駆動する際に駆動データ変換回路 3 0 において用いられるデータ変換テーブルと、1 フィールド期間内での発光駆動パターンを示す図である。

【図 2 8】

本発明による他の実施例による表示装置としてのプラズマディスプレイ装置の構成を示す図である。

【図 2 9】

図 2 8 に示される第 1 データ変換回路 1 3 におけるデータ変換特性を示す図である。

【図 3 0】

画面上下方向において互いに隣接している 8 つの放電ライン各々に対応したオフセットデータ L D の一例を示す図である。

【図 3 1】

図 2 8 に示される P D P 1 0 0 を選択消去アドレス法に基づいて駆動する際の発光駆動シーケンスの一例を示す図である。

【図 3 2】

図 2 8 に示される P D P 1 0 0 を選択書込アドレス法に基づいて駆動する際の
発光駆動シーケンスの一例を示す図である。

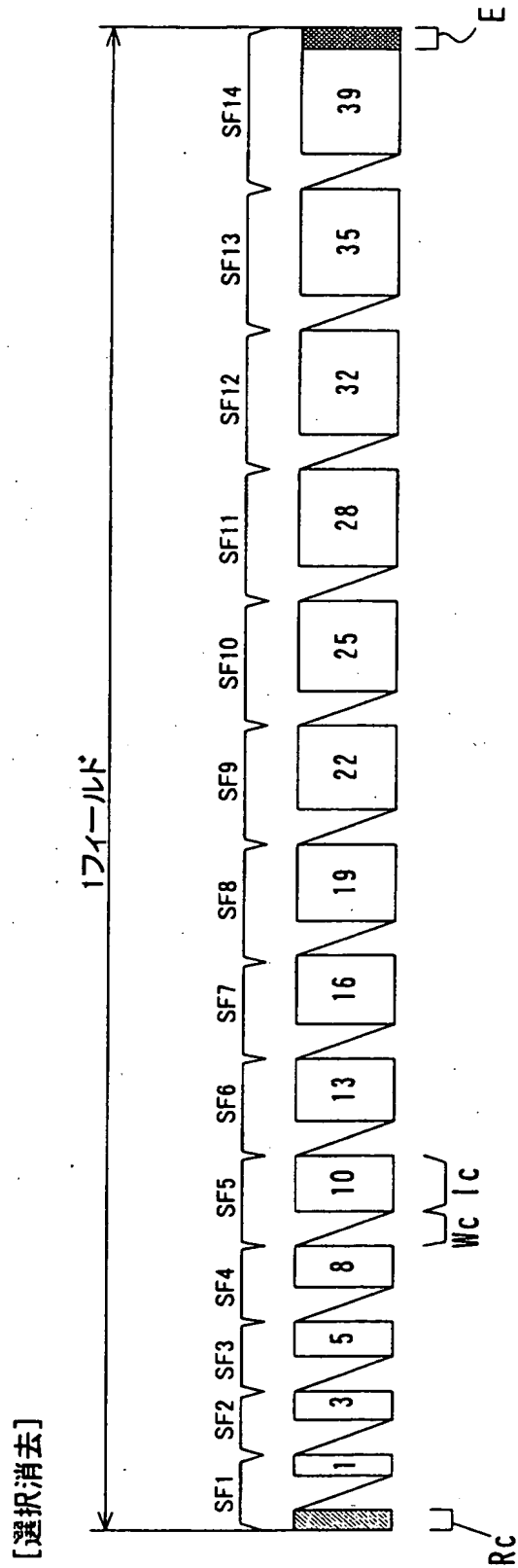
【主要部分の符号の説明】

- 2 多階調化処理回路
- 3 駆動データ変換回路
- 6 駆動制御回路
- 2 1 ラインオフセットデータ生成回路
- 1 0 0 P D P
- 2 2 0 ディザマトリクス回路

【書類名】

図面

【図 1】



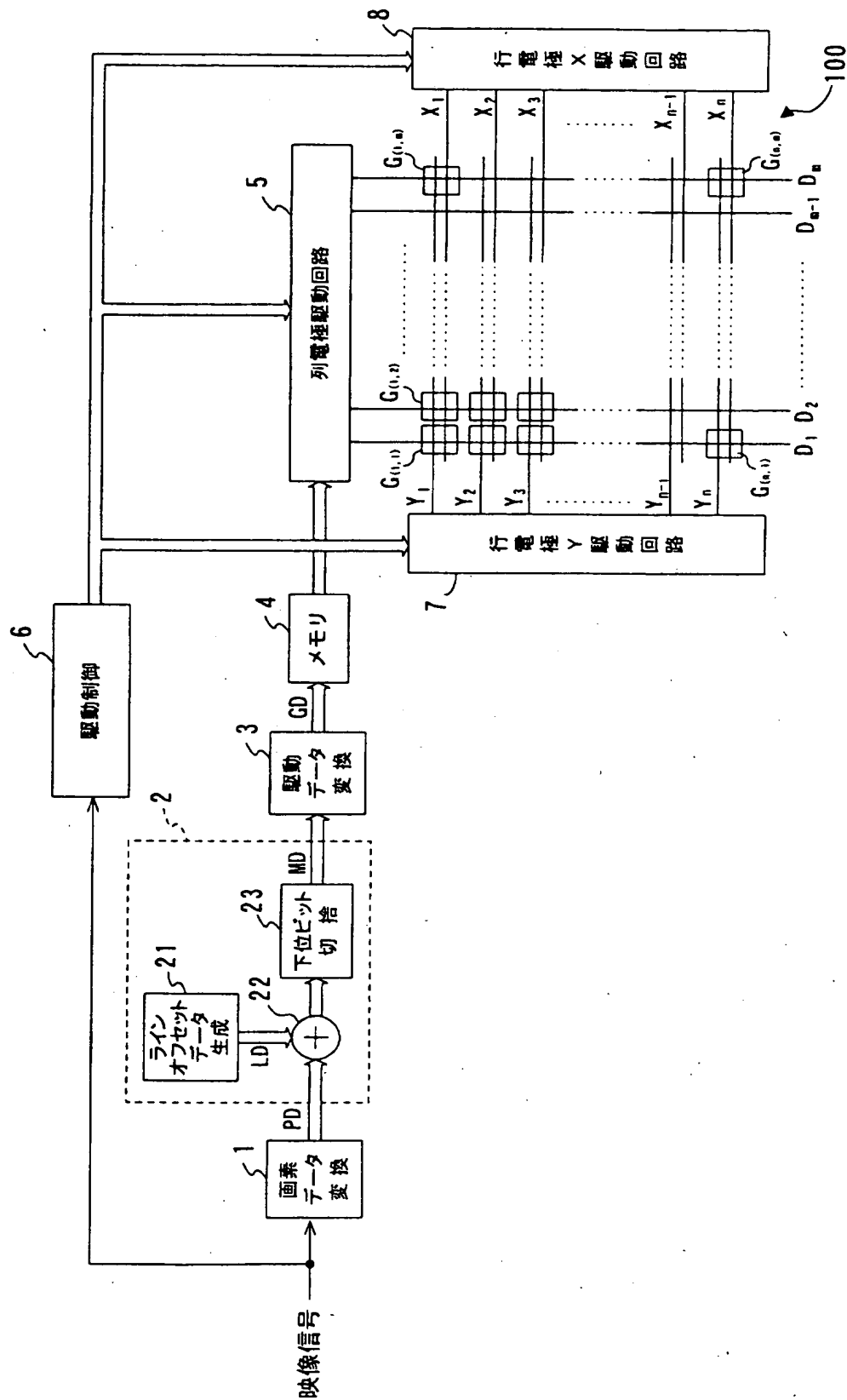
【図 2】

【選択消去】

Ds	HD														1フィールドにおける発光駆動パターン														発光 輝度	
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	SF 1	SF 2	SF 3	SF 4	SF 5	SF 6	SF 7	SF 8	SF 9	SF 10	SF 11	SF 12	SF 13	SF 14		
0000	1	0	0	0	0	0	0	0	0	0	0	0	0	0	●															0
0001	0	1	0	0	0	0	0	0	0	0	0	0	0	0	○	●														1
0010	0	0	1	0	0	0	0	0	0	0	0	0	0	0	○	○	●													4
0011	0	0	0	1	0	0	0	0	0	0	0	0	0	0	○	○	○	●												9
0100	0	0	0	0	1	0	0	0	0	0	0	0	0	0	○	○	○	○	●											17
0101	0	0	0	0	0	1	0	0	0	0	0	0	0	0	○	○	○	○	○	●										27
0110	0	0	0	0	0	0	1	0	0	0	0	0	0	0	○	○	○	○	○	○	●									40
0111	0	0	0	0	0	0	0	1	0	0	0	0	0	0	○	○	○	○	○	○	○	●								56
1000	0	0	0	0	0	0	0	0	1	0	0	0	0	0	○	○	○	○	○	○	○	○	●							75
1001	0	0	0	0	0	0	0	0	0	1	0	0	0	0	○	○	○	○	○	○	○	○	○	○	●					97
1010	0	0	0	0	0	0	0	0	0	0	1	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	122
1011	0	0	0	0	0	0	0	0	0	0	0	1	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	150
1100	0	0	0	0	0	0	0	0	0	0	0	0	1	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	182
1101	0	0	0	0	0	0	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	217
1110	0	0	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	256

黒丸：選択消去放電
白丸：発光

【図 3】

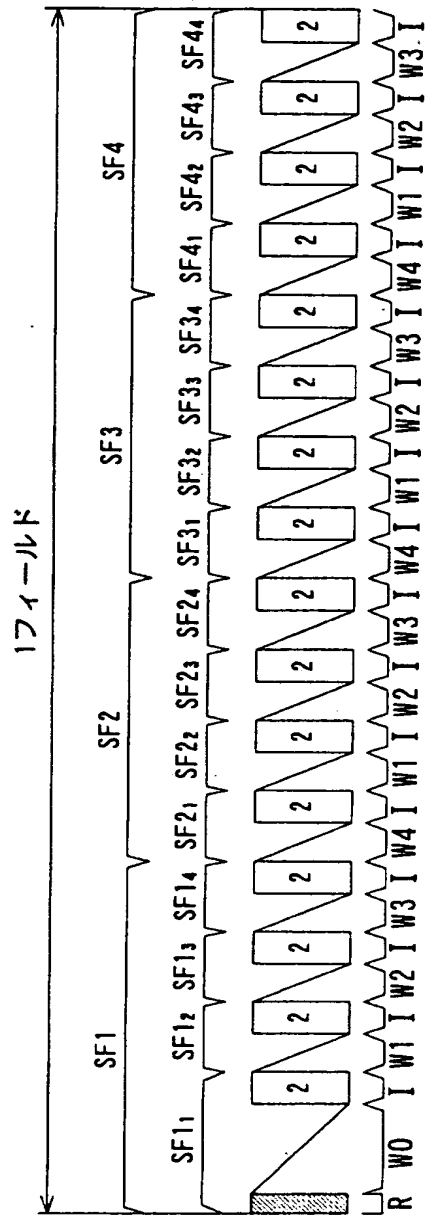


【図 4】

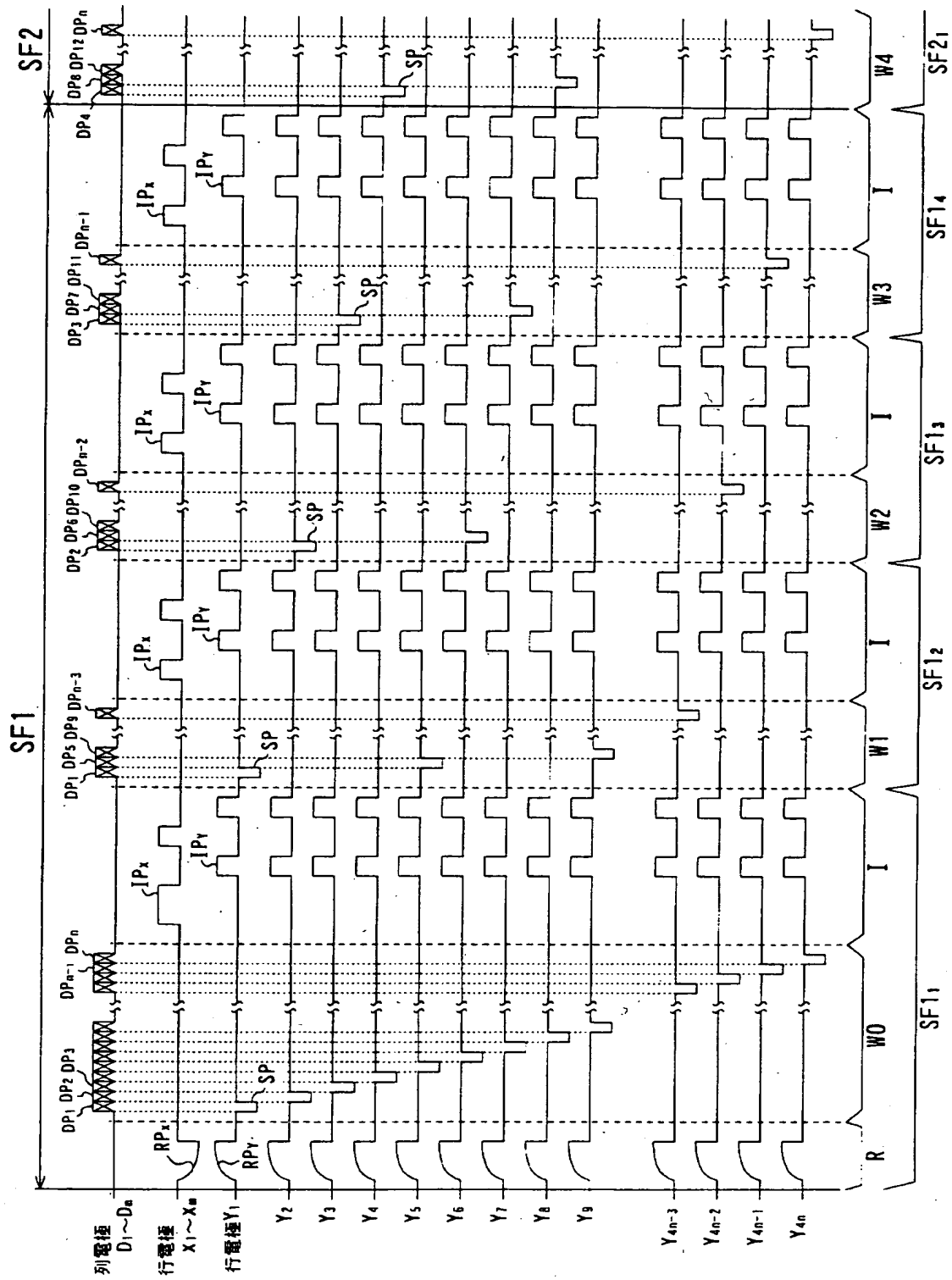
変換テーブル		駆動 表示 ライン	発光パターン																輝度
MD	CD 1 2 3 4 5		SF 1 ₁	SF 1 ₂	SF 1 ₃	SF 1 ₄	SF 2 ₁	SF 2 ₂	SF 2 ₃	SF 2 ₄	SF 3 ₁	SF 3 ₂	SF 3 ₃	SF 3 ₄	SF 4 ₁	SF 4 ₂	SF 4 ₃	SF 4 ₄	
000	1 0 0 0 0	4N-3	●																0
		4N-2	●																0
		4N-1	●																0
		4N	●																0
001	0 1 0 0 0	4N-3	○	●															2
		4N-2	○	○	●														4
		4N-1	○	○	○	●													6
		4N	○	○	○	○	●												8
010	0 0 1 0 0	4N-3	○	○	○	○	○	●											10
		4N-2	○	○	○	○	○	○	●										12
		4N-1	○	○	○	○	○	○	○	●									14
		4N	○	○	○	○	○	○	○	○	●								16
011	0 0 0 1 0	4N-3	○	○	○	○	○	○	○	○	○	●							18
		4N-2	○	○	○	○	○	○	○	○	○	○	●						20
		4N-1	○	○	○	○	○	○	○	○	○	○	○	○	●				22
		4N	○	○	○	○	○	○	○	○	○	○	○	○	○	○	●		24
100	0 0 0 0 1	4N-3	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	26
		4N-2	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	28
		4N-1	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	30
		4N	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	32

● :消去アドレス放電 ○ :サステイン放電発光

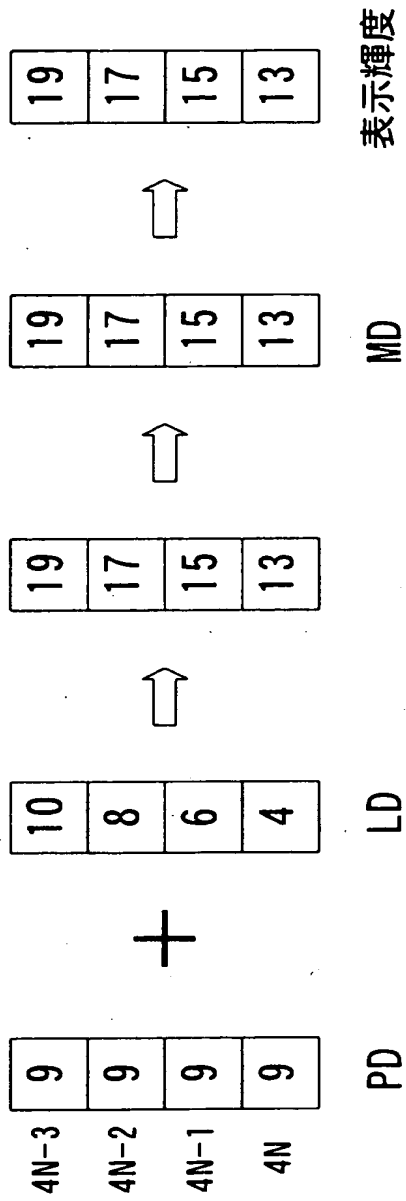
【図 5】



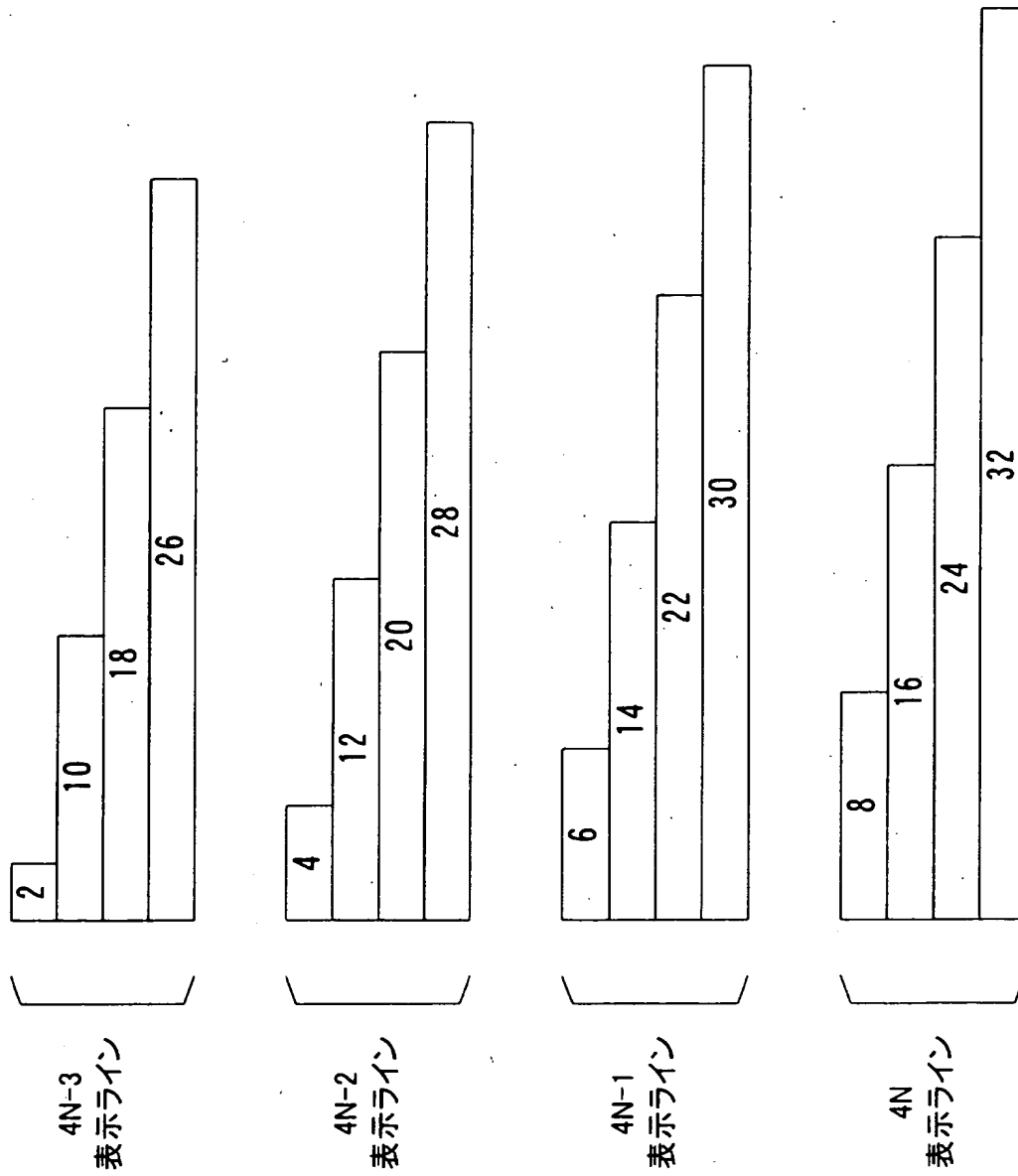
【図 6】



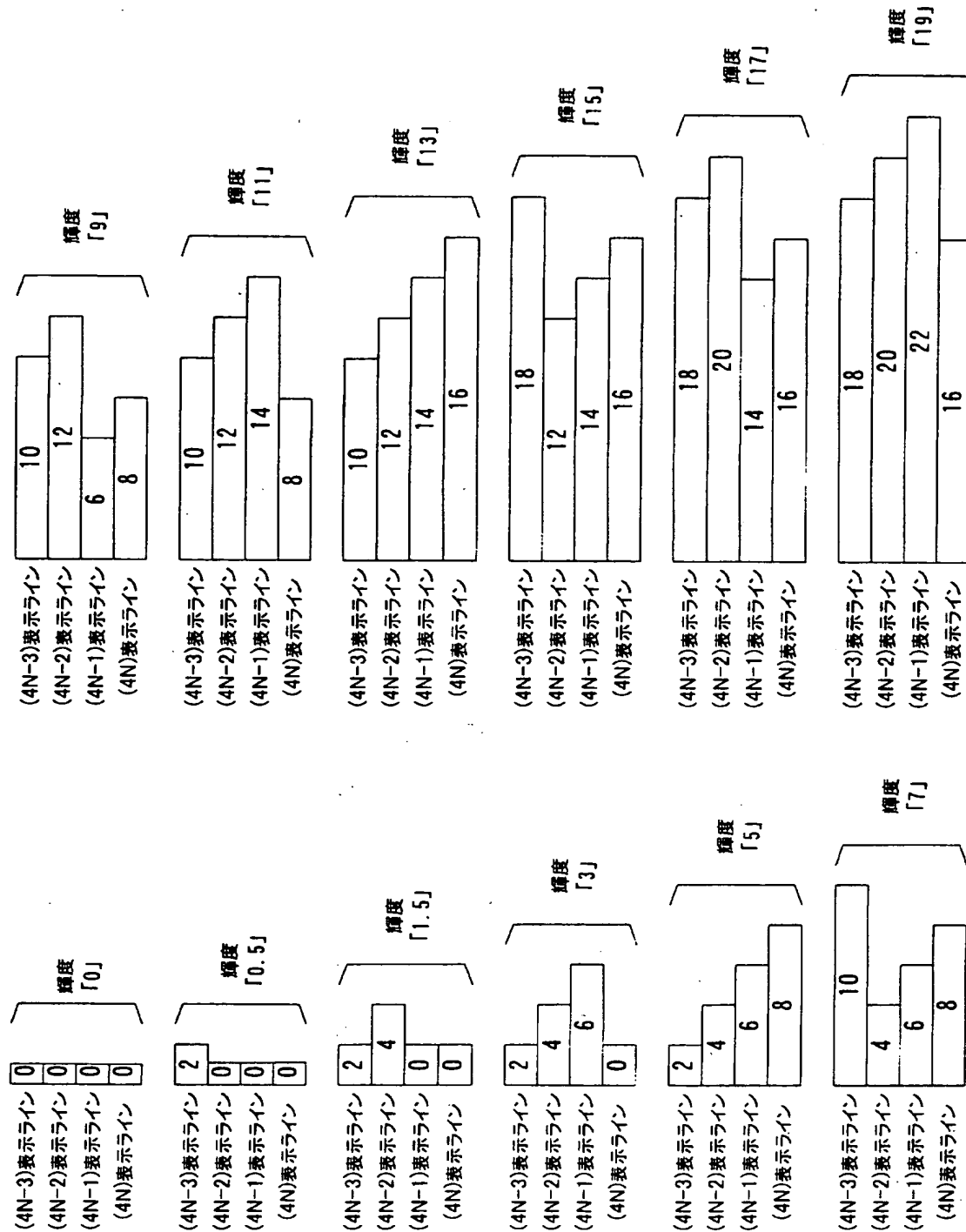
【図 7】



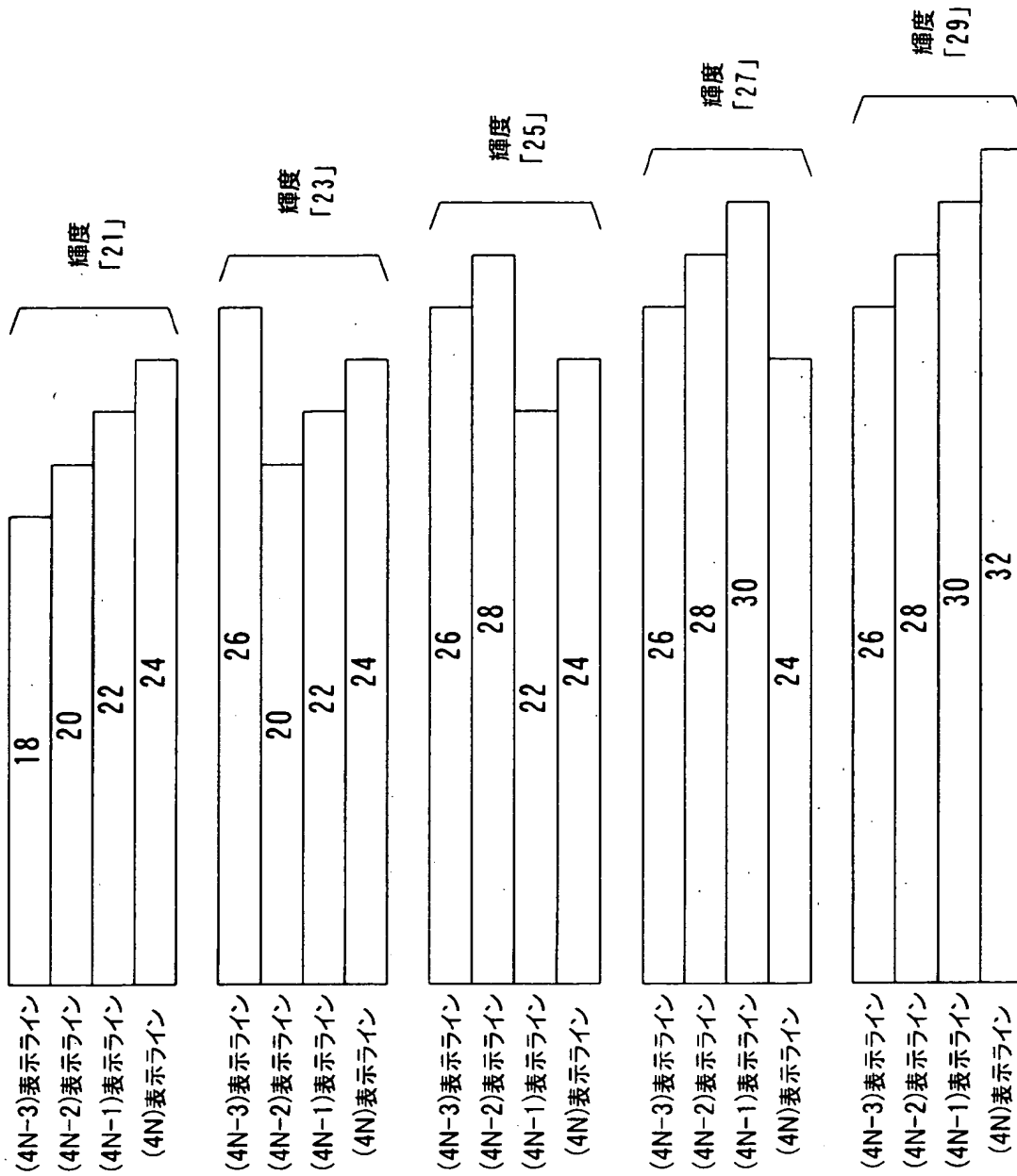
【図 8】



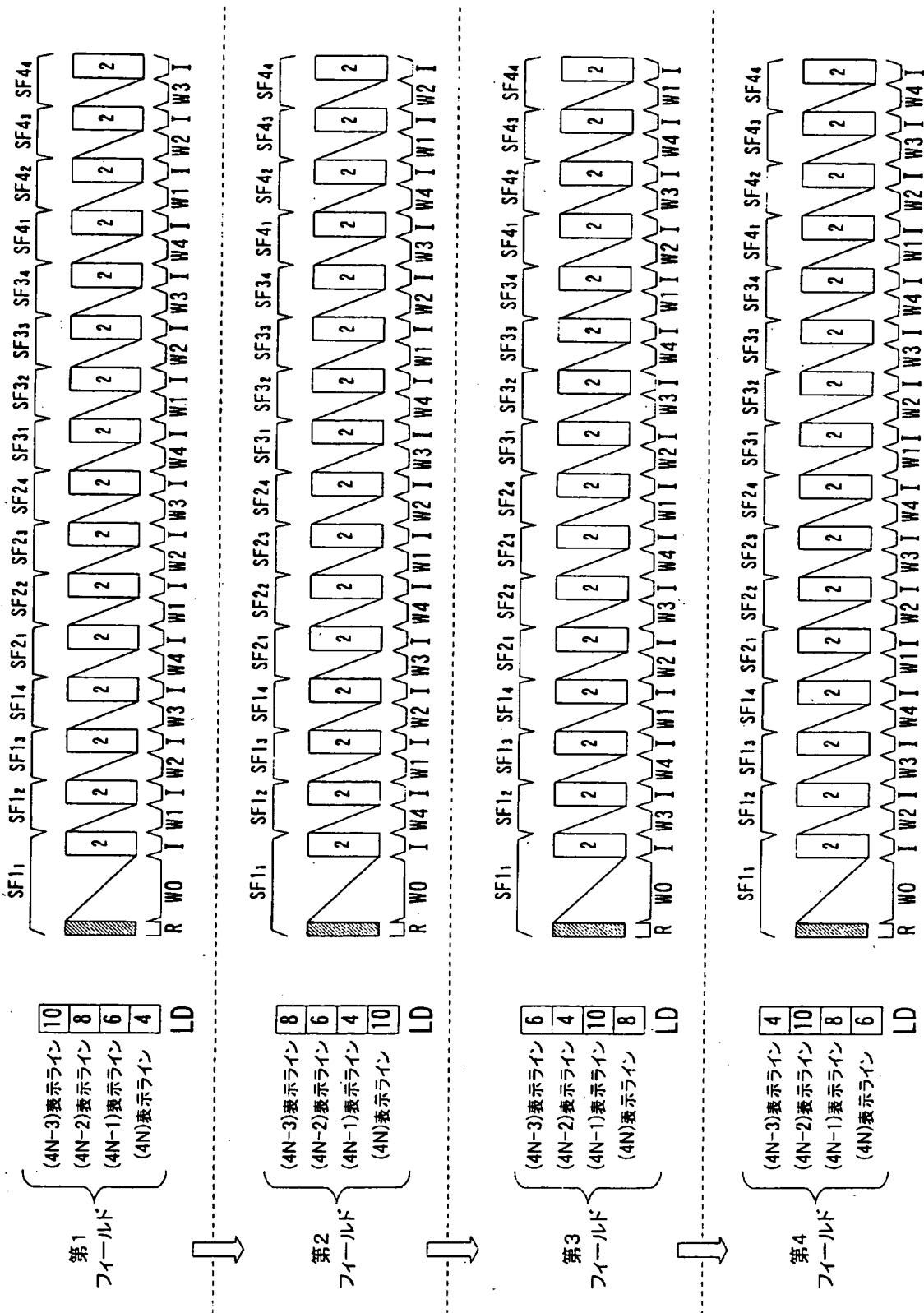
【図 9】



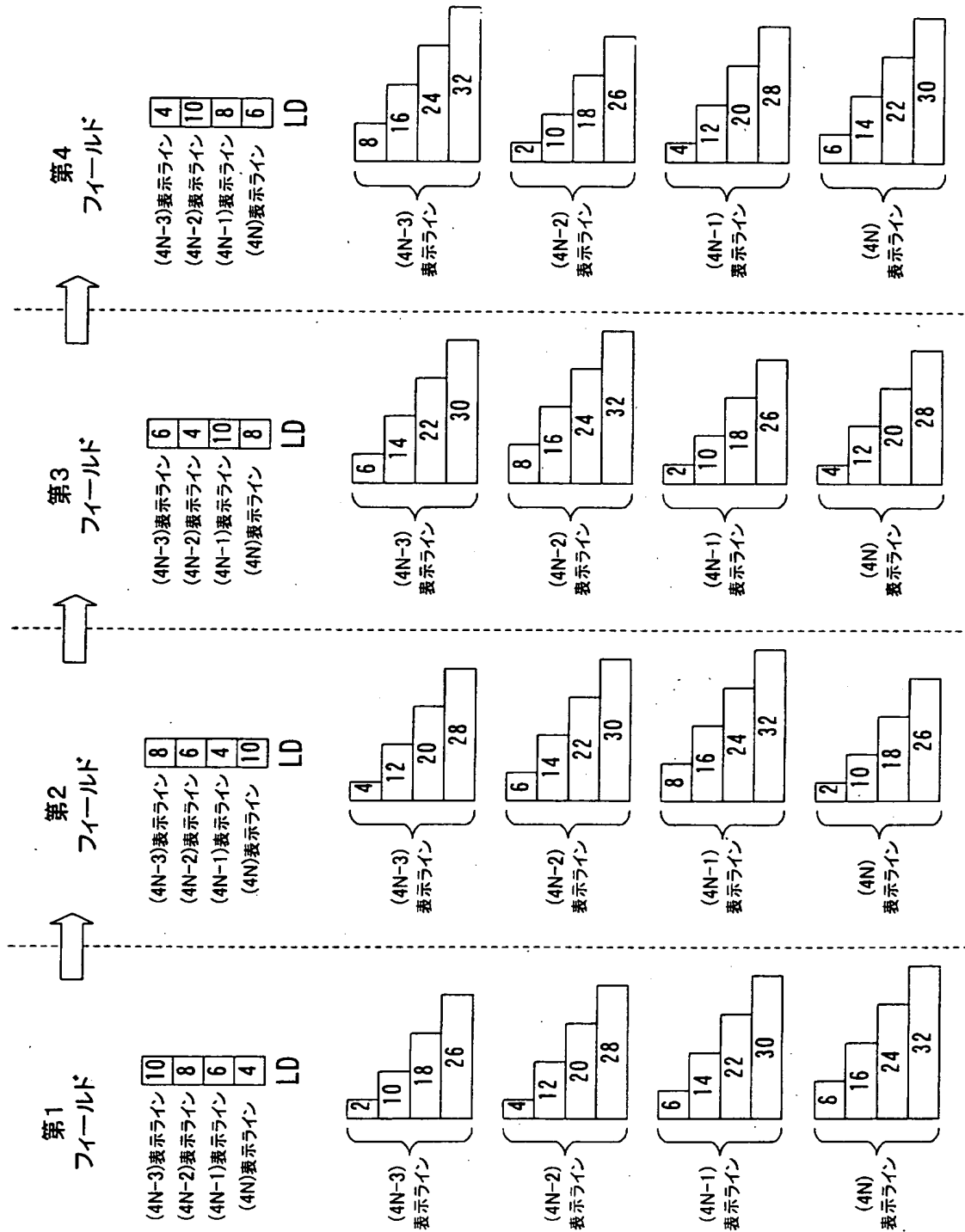
【図10】



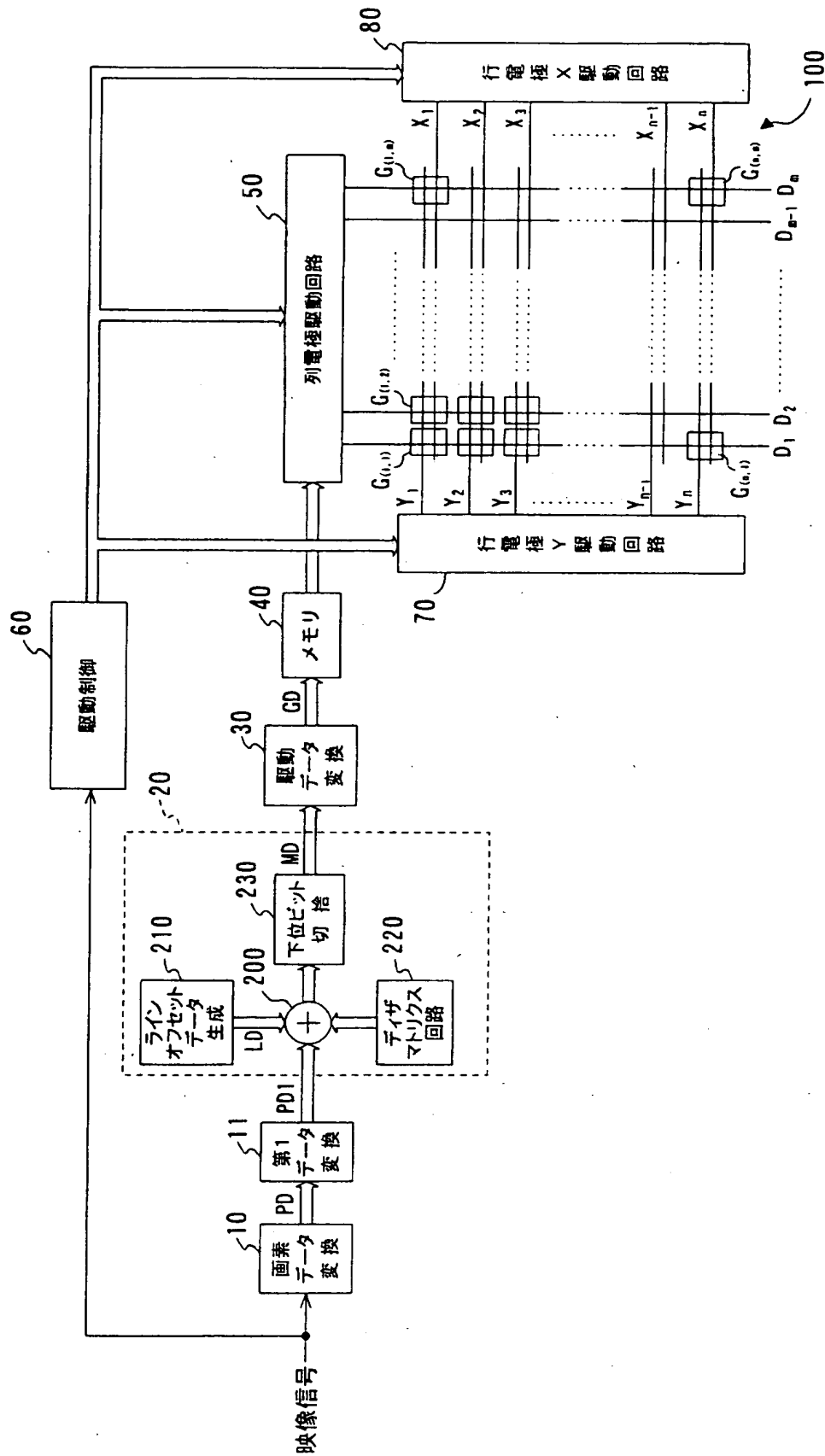
【図 1 1】



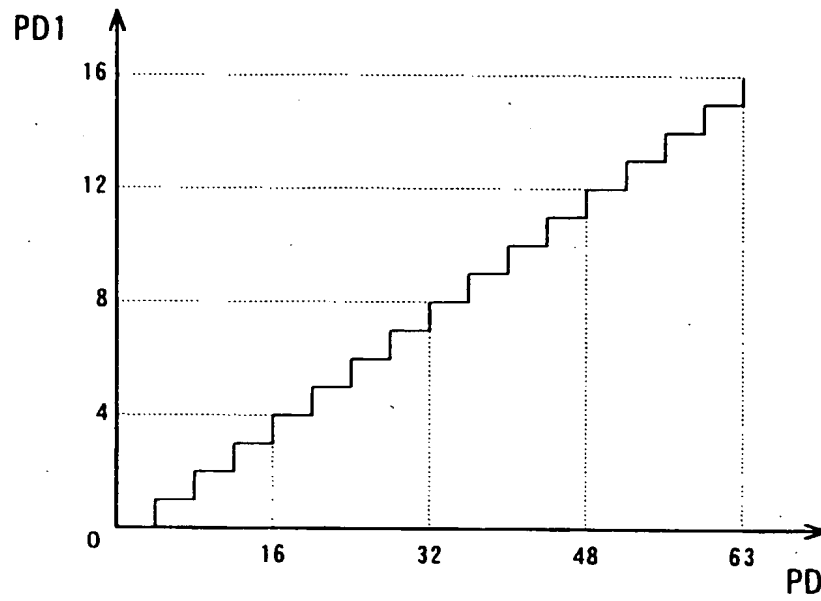
【図 1 2】



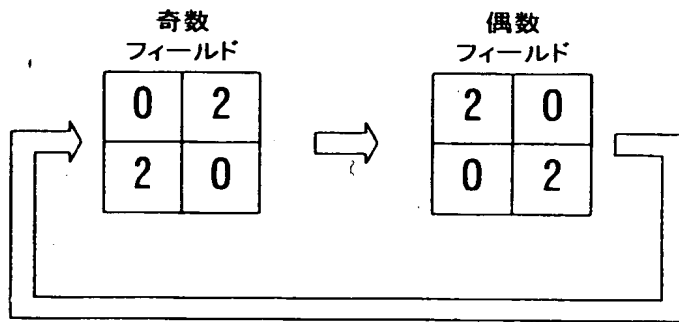
【図 1 3】



【図 14】



【図 15】

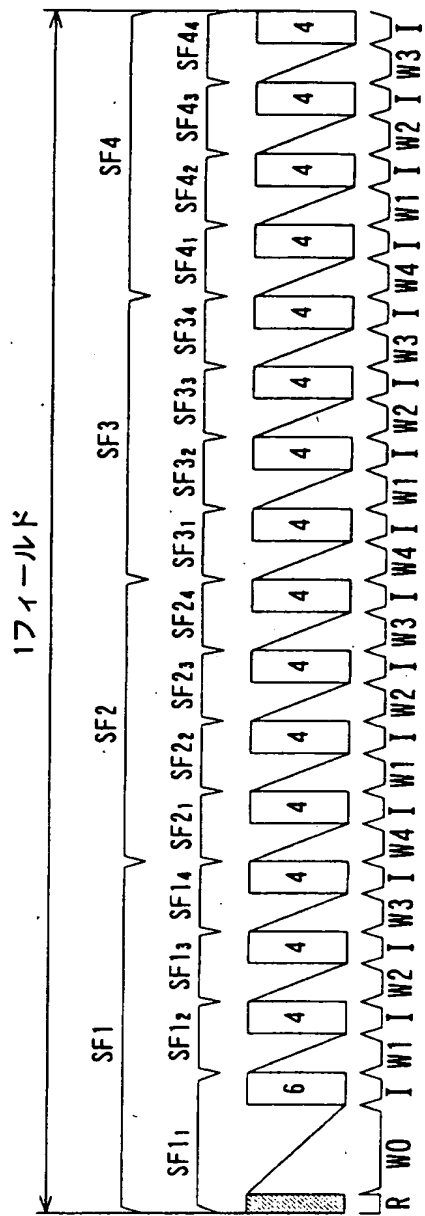


【図 16】

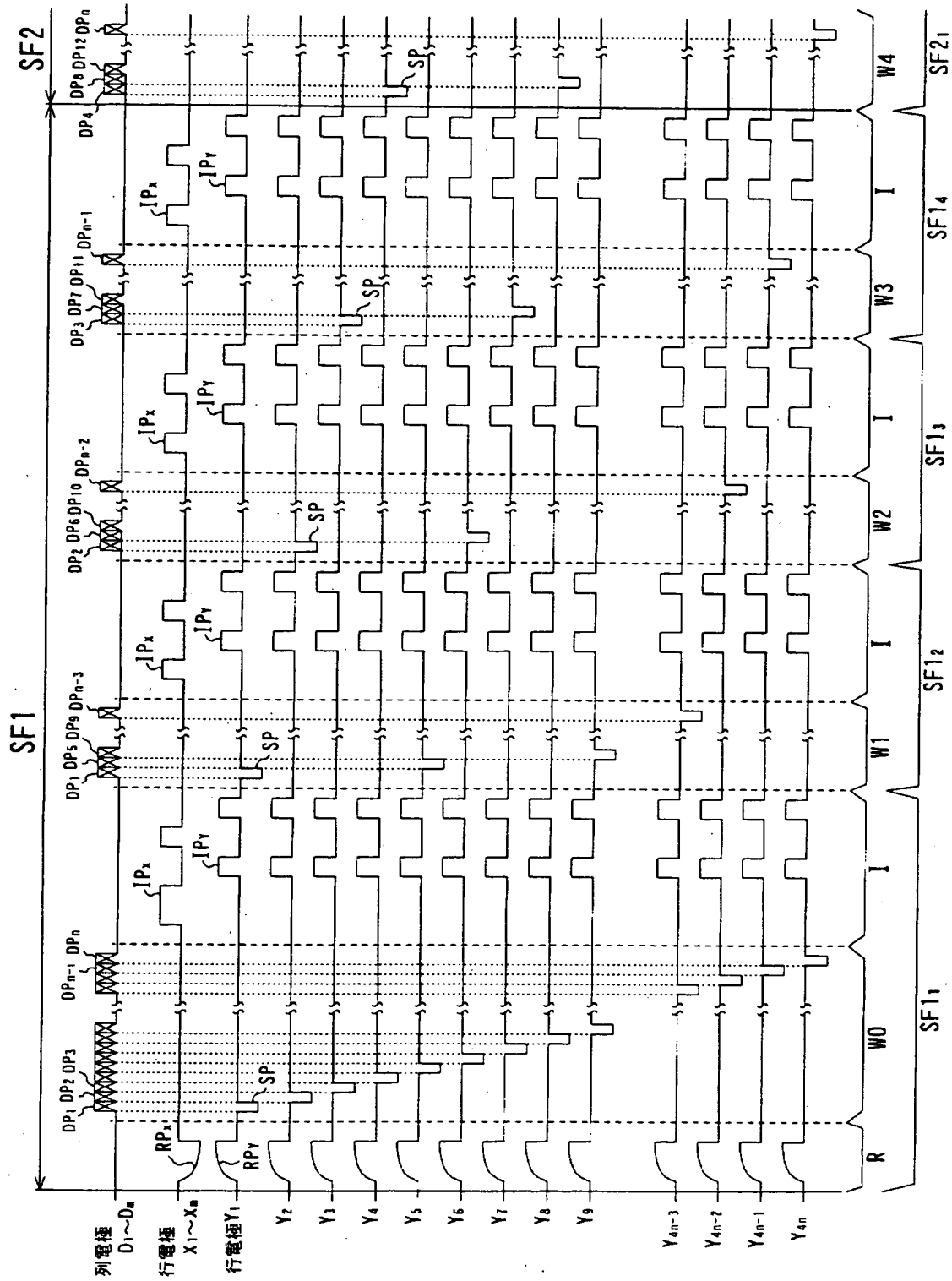
変換テーブル		駆動 表示 ライン	発光パターン																輝度
MD	GD 1 2 3 4 5		SF 1 ₁	SF 1 ₂	SF 1 ₃	SF 1 ₄	SF 2 ₁	SF 2 ₂	SF 2 ₃	SF 2 ₄	SF 3 ₁	SF 3 ₂	SF 3 ₃	SF 3 ₄	SF 4 ₁	SF 4 ₂	SF 4 ₃	SF 4 ₄	
000	1 0 0 0 0	4N-3	●																0
		4N-2	●																0
		4N-1	●																0
		4N	●																0
001	0 1 0 0 0	4N-3	○	●															6
		4N-2	○	○	●														10
		4N-1	○	○	○	●													14
		4N	○	○	○	○	●												18
010	0 0 1 0 0	4N-3	○	○	○	○	○	●											22
		4N-2	○	○	○	○	○	○	●										26
		4N-1	○	○	○	○	○	○	○	●									30
		4N	○	○	○	○	○	○	○	○	●								34
011	0 0 0 1 0	4N-3	○	○	○	○	○	○	○	○	○	●							38
		4N-2	○	○	○	○	○	○	○	○	○	○	●						42
		4N-1	○	○	○	○	○	○	○	○	○	○	○	○	●				46
		4N	○	○	○	○	○	○	○	○	○	○	○	○	○	○	●		50
100	0 0 0 0 1	4N-3	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	54
		4N-2	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	58
		4N-1	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	62
		4N	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	66

● : 消去アドレス放電 ○ : サステイン放電発光

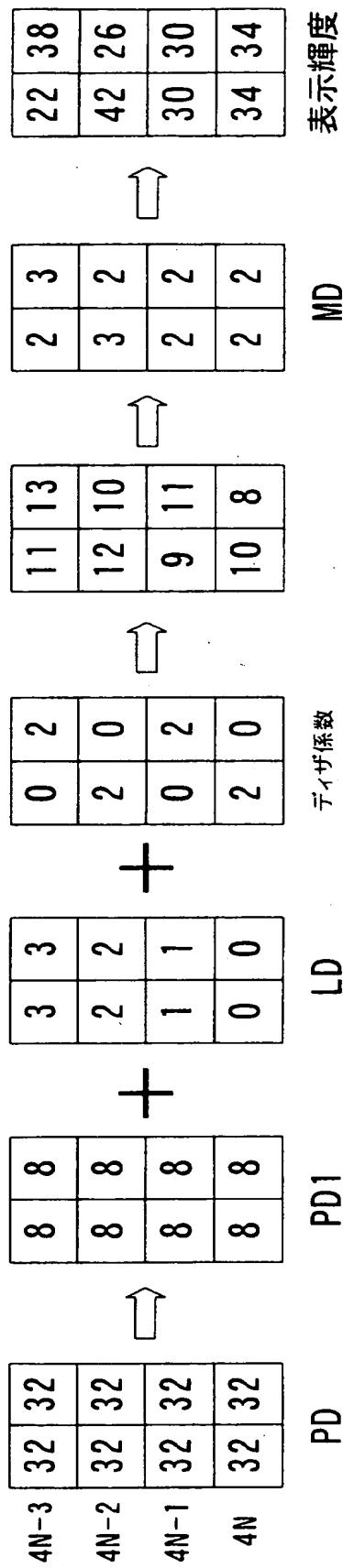
【図 17】



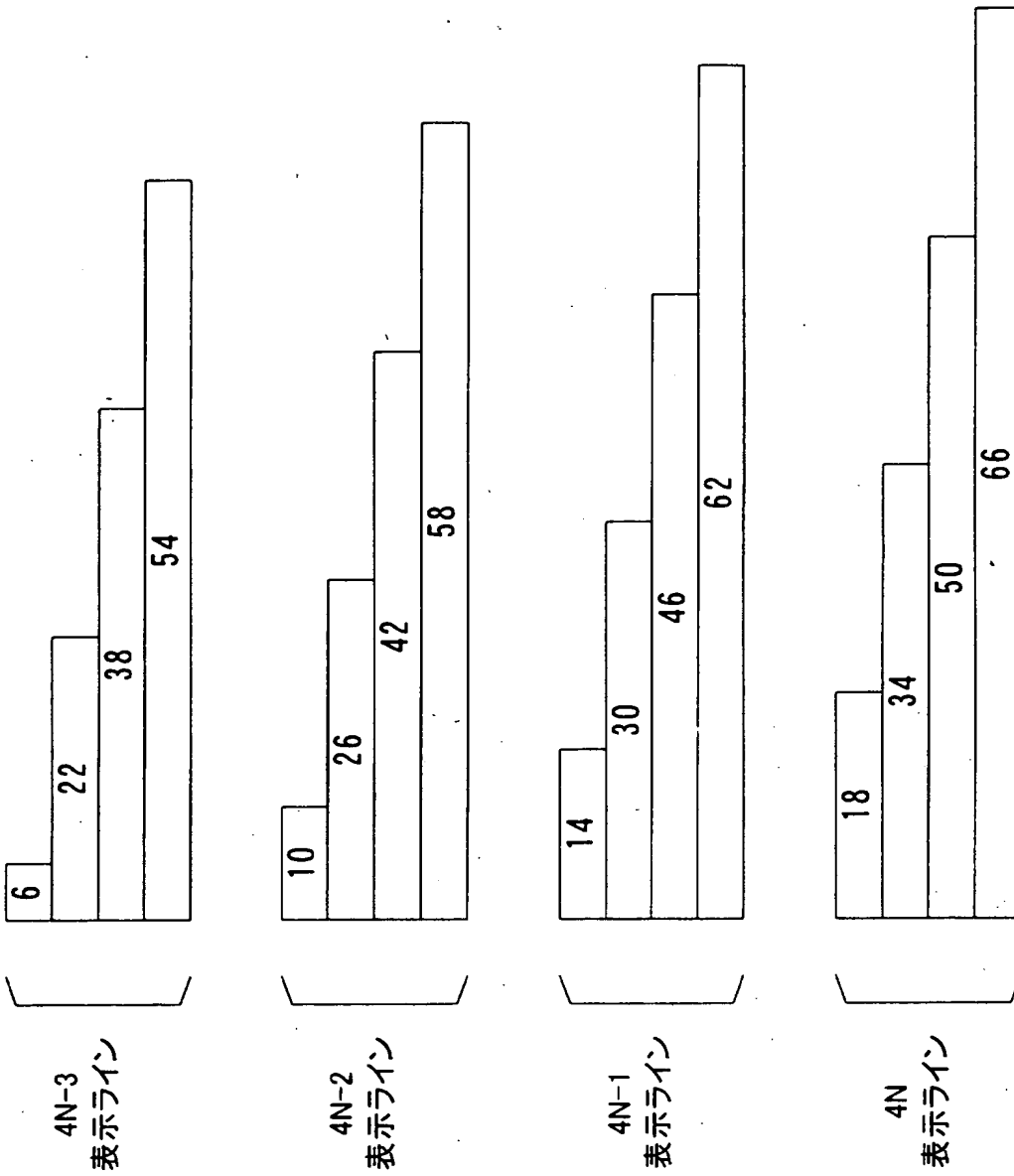
【図 18】



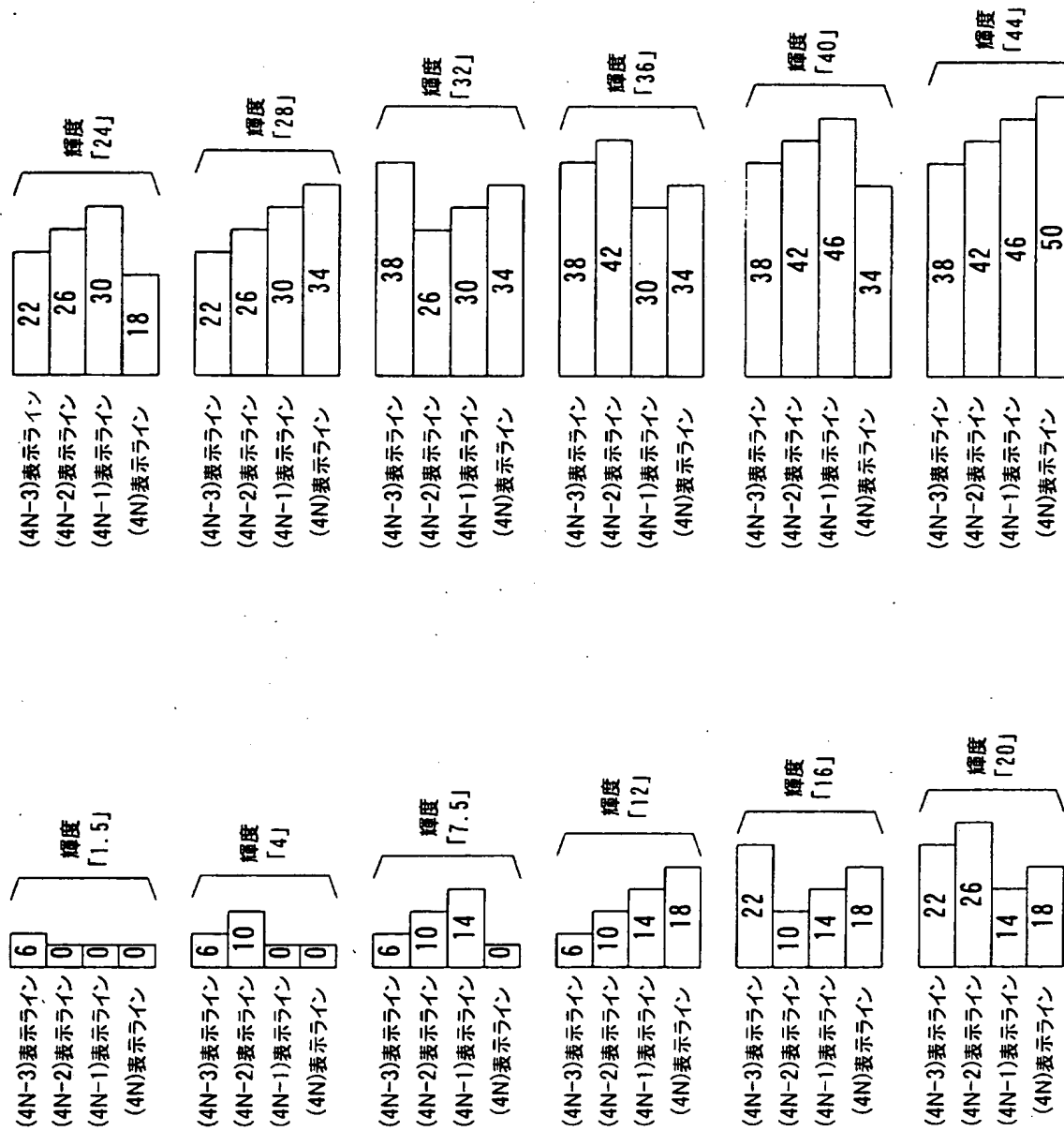
【図 19】



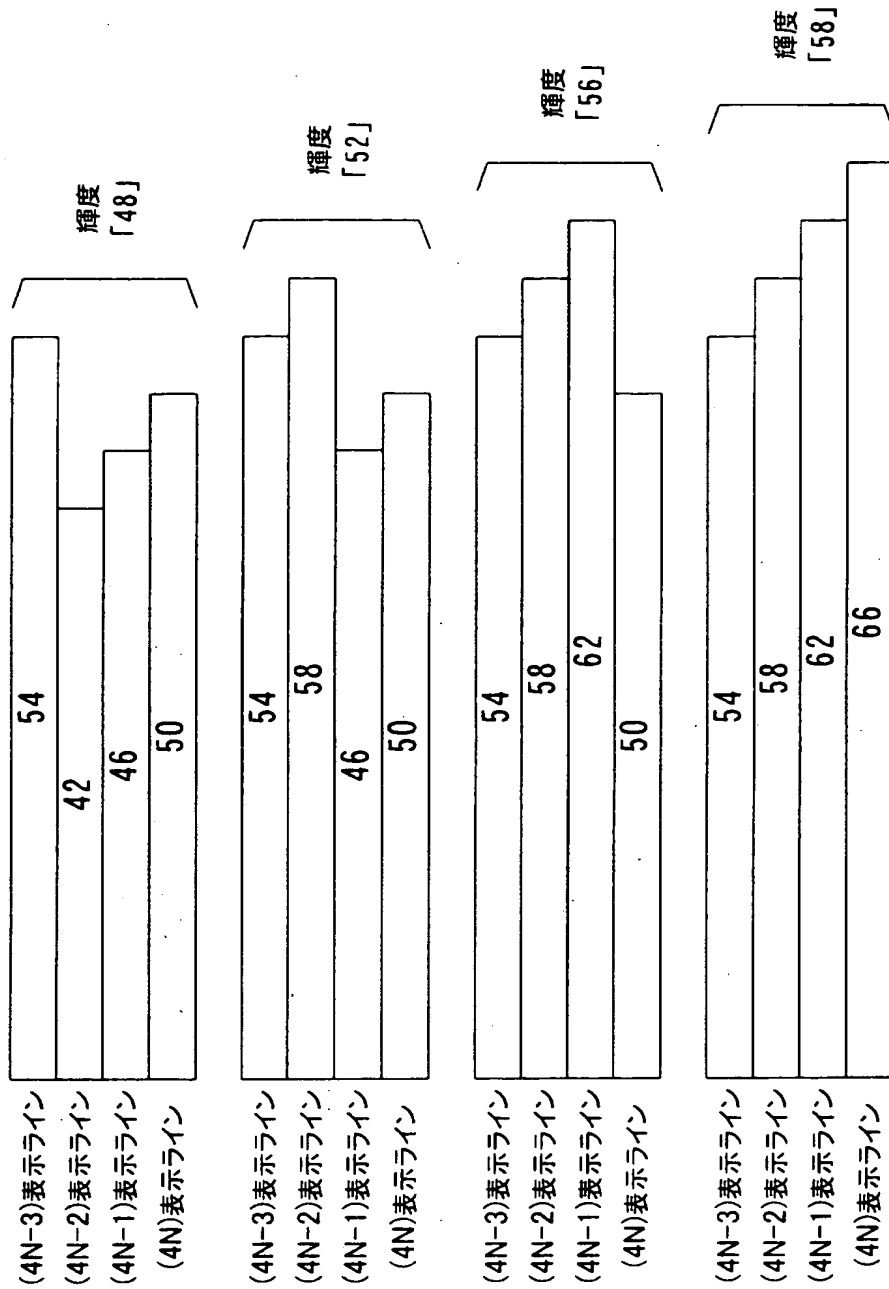
【図 20】



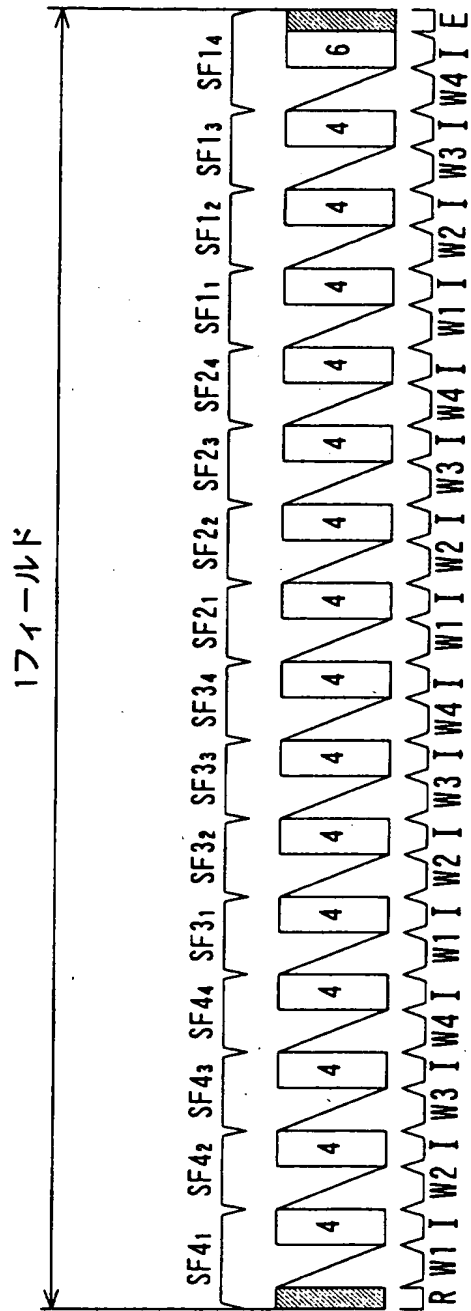
【図 21】



【図 22】



【図 23】

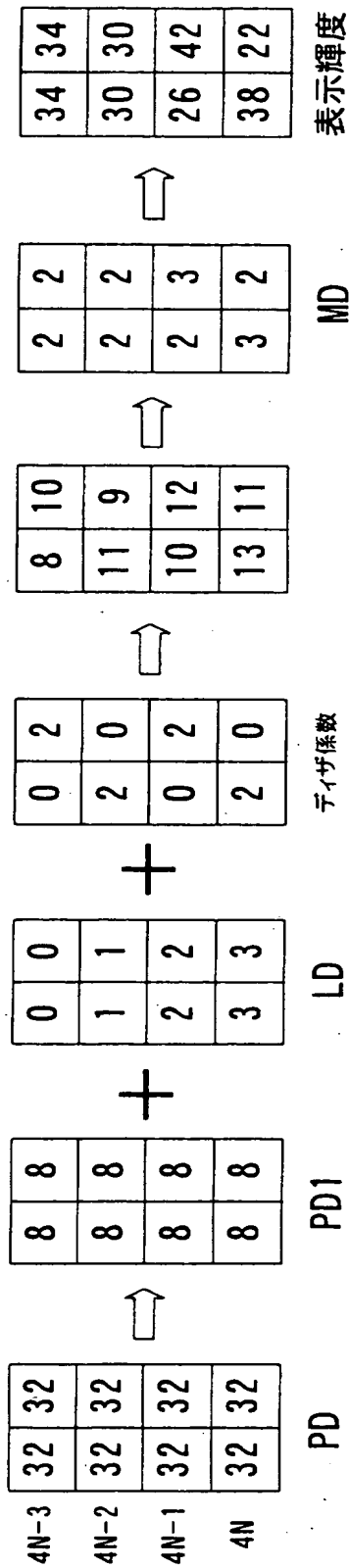


【図24】

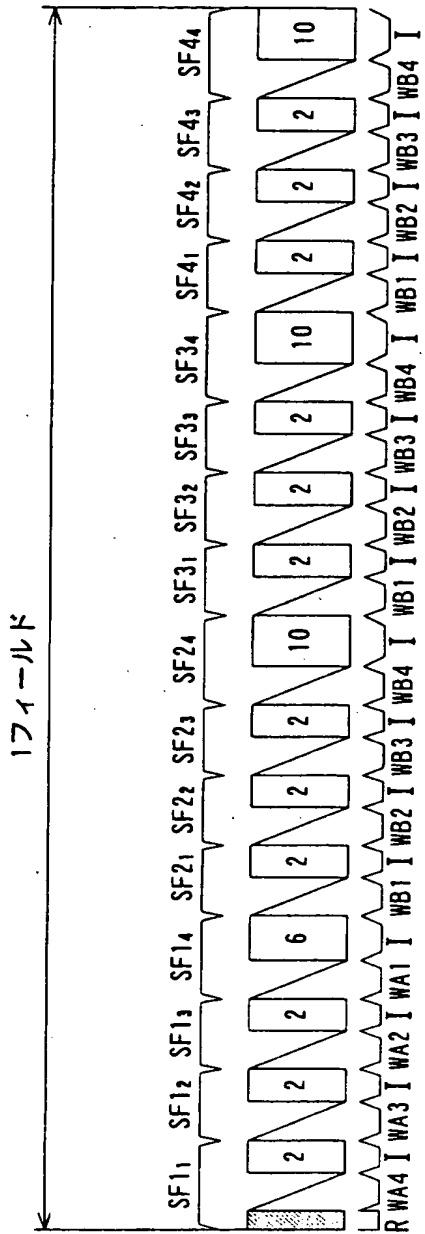
変換テーブル		駆動 表示 ライン	発光パターン																輝度
MD	GD 1 2 3 4		SF 41	SF 42	SF 43	SF 44	SF 31	SF 32	SF 33	SF 34	SF 21	SF 22	SF 23	SF 24	SF 11	SF 12	SF 13	SF 14	
100	1 0 0 0	4N-3	◎	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	66
		4N-2		◎	○	○	○	○	○	○	○	○	○	○	○	○	○	○	62
		4N-1			◎	○	○	○	○	○	○	○	○	○	○	○	○	○	58
		4N				◎	○	○	○	○	○	○	○	○	○	○	○	○	54
011	0 1 0 0	4N-3					◎	○	○	○	○	○	○	○	○	○	○	○	50
		4N-2						◎	○	○	○	○	○	○	○	○	○	○	46
		4N-1							◎	○	○	○	○	○	○	○	○	○	42
		4N								◎	○	○	○	○	○	○	○	○	38
010	0 0 1 0	4N-3									◎	○	○	○	○	○	○	○	34
		4N-2										◎	○	○	○	○	○	○	30
		4N-1											◎	○	○	○	○	○	26
		4N												◎	○	○	○	○	22
001	0 0 0 1	4N-3													◎	○	○	○	18
		4N-2														◎	○	○	14
		4N-1															◎	○	10
		4N																◎	6
000	0 0 0 0	4N-3																	0
		4N-2																	0
		4N-1																	0
		4N																	0

◎ : 書込アドレス放電+サステイン放電発光 ○ : サステイン放電発光

【図 25】



【図 26】

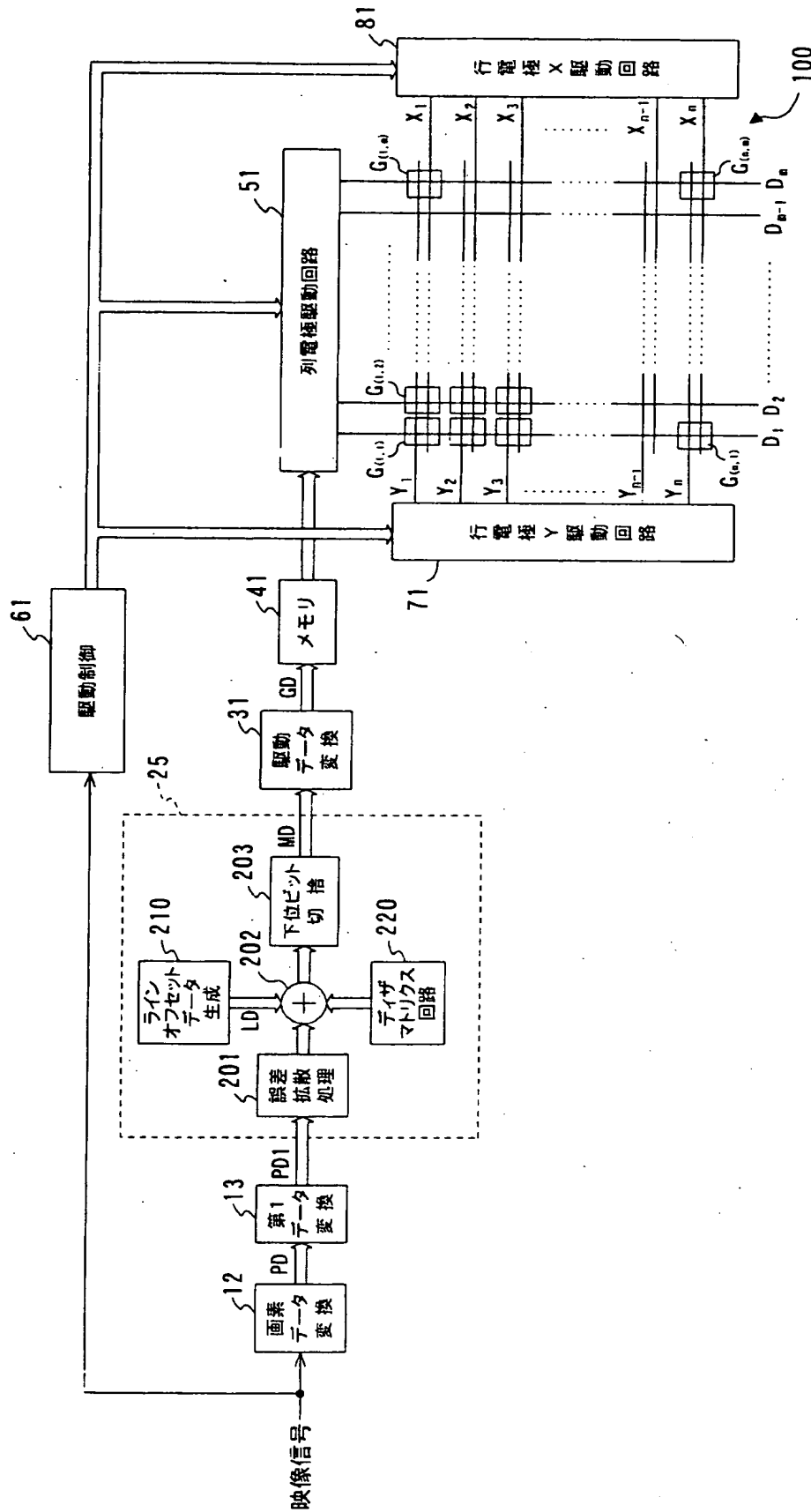


【図 27】

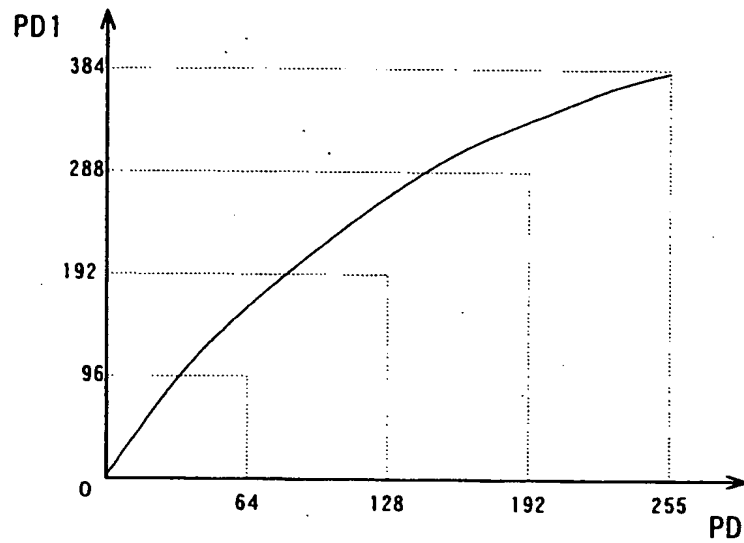
変換テーブル		駆動 表示 ライン	発光パターン																輝度
MD	CD 1 2 3 4		SF 1 ₁	SF 1 ₂	SF 1 ₃	SF 1 ₄	SF 2 ₁	SF 2 ₂	SF 2 ₃	SF 2 ₄	SF 3 ₁	SF 3 ₂	SF 3 ₃	SF 3 ₄	SF 4 ₁	SF 4 ₂	SF 4 ₃	SF 4 ₄	
000	0 0 0 0	4N-3																	0
		4N-2																	0
		4N-1																	0
		4N																	0
001	1 1 0 0	4N-3				◎													6
		4N-2			◎	◎	◎	●											10
		4N-1	◎	◎	◎	◎	◎	◎	●										14
		4N	◎	◎	◎	◎	◎	◎	◎	●									18
010	1 0 1 0	4N-3				◎					●								22
		4N-2			◎	◎	◎	◎	◎	◎	◎	●							26
		4N-1	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	●						30
		4N	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	●					34
011	1 0 0 1	4N-3				◎					◎	◎	◎	◎	●				38
		4N-2			◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	●			42
		4N-1	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	●		46
		4N	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	●	50
100	1 0 0 0	4N-3				◎					◎	◎	◎	◎	◎	◎	◎		54
		4N-2			◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎		56
		4N-1	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎		58
		4N	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎		60

◎ : 書込アドレス放電 + サステイン放電発光 ● : 消去アドレス放電 ○ : サステイン放電発光

【図 28】



【図 29】

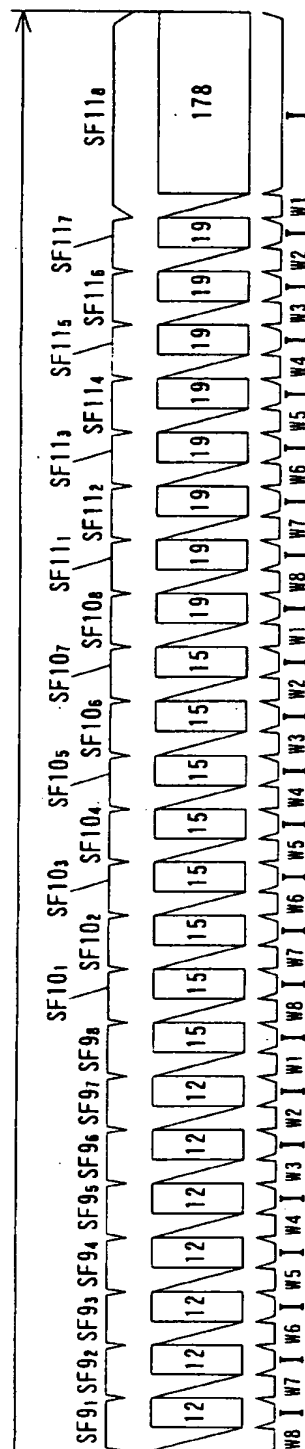
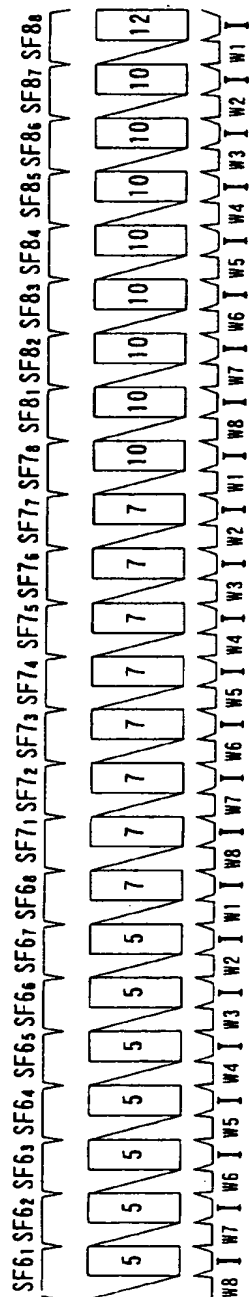
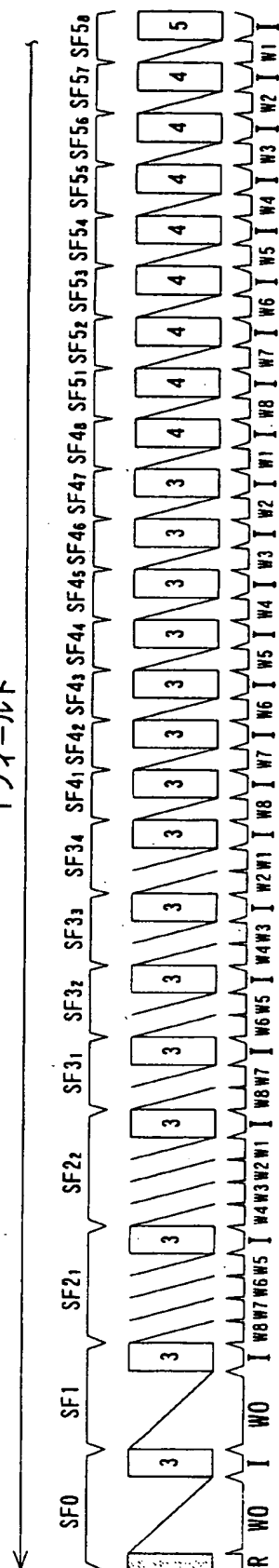


【図 30】

(8N-7)表示ライン	0
(8N-6)表示ライン	4
(8N-5)表示ライン	8
(8N-4)表示ライン	12
(8N-3)表示ライン	16
(8N-2)表示ライン	20
(8N-1)表示ライン	24
(8N)表示ライン	28

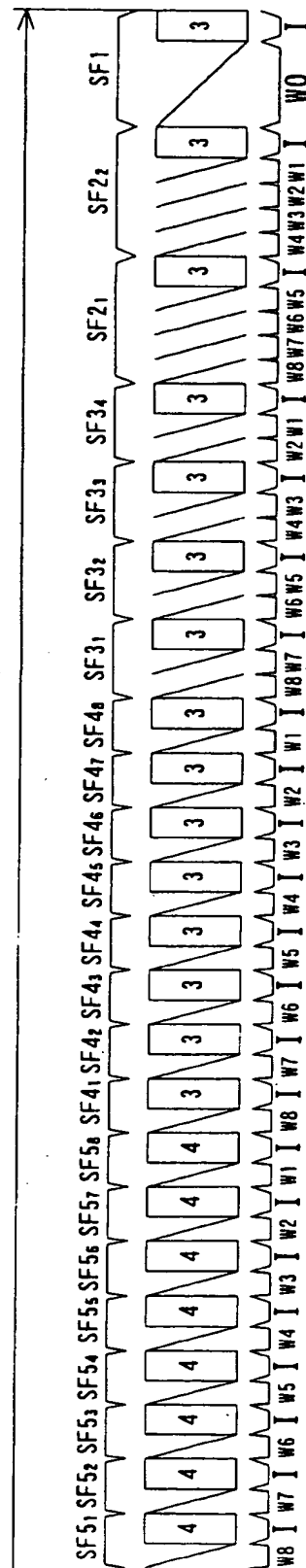
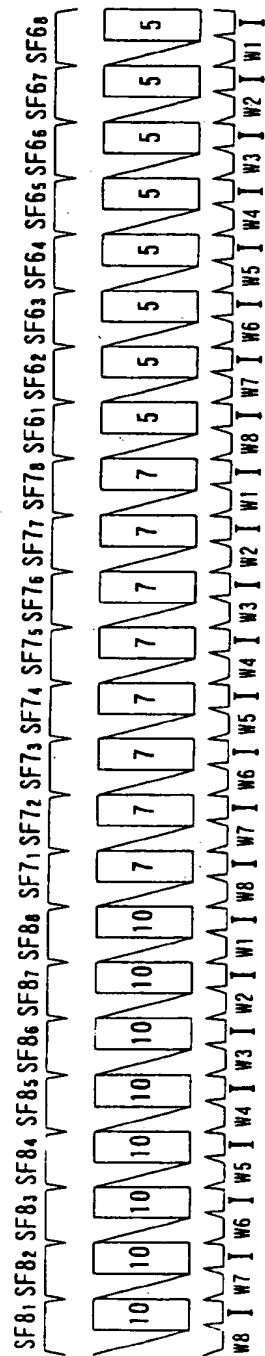
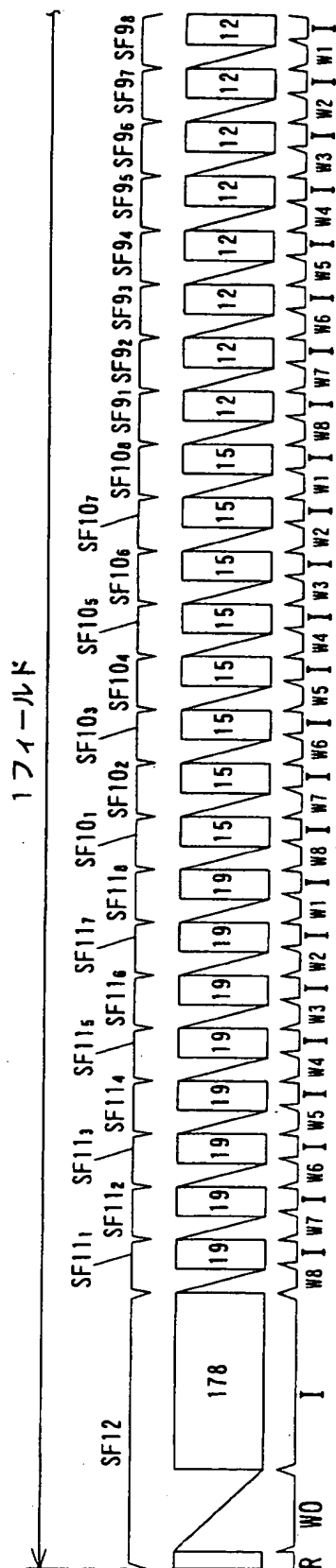
【図 31】

171-172



特2003-042810

【図32】



【書類名】 要約書

【要約】

【目的】 ディザパターンの抑制された良好な画像表示を行うことが可能な表示パネルの駆動装置を提供することを目的とする。

【解決手段】 表示パネルの表示ライン各々を $[M \cdot (k - 1) + 1]$ 番目の表示ライン (M は自然数、 $k : n / M$ 以下の自然数) からなる表示ライン群、 $[M \cdot (k - 1) + 2]$ 番目の表示ラインからなる表示ライン群、 $[M \cdot (k - 1) + 3]$ 番目の表示ラインからなる表示ライン群、 \dots 、 $[M \cdot (k - 1) + M]$ 番目の表示ラインからなる表示ライン群なる M 個の表示ライン群に分ける。これら表示ライン群各々に夫々異なるオフセット値を割り当てて表示ライン群各々に対応した画素データに加算することにより多階調化画素データを得る。そして、映像信号の 1 フィールドを構成するサブフィールド各々の内の少なくとも M 個のサブフィールド各々において互いに異なる表示ライン群を対象としてこの表示ライン群に属する画素セル各々を上記多階調化画素データに基づいて点灯モード又は消灯モードの一方に設定する。これにより、画面上下方向において互いに隣接する画素セル各々で表現される輝度レベルを互いに異ならせて、ディザパターンの発生を抑制する。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005016]

1. 変更年月日 1990年 8月31日
[変更理由] 新規登録
住 所 東京都目黒区目黒1丁目4番1号
氏 名 パイオニア株式会社